

## 明 細 書

## 容量型 M E M S 素子とその製造方法、及び高周波装置

## 5 技術分野

本願発明は、容量型 M E M S (Micro-Electro-Mechanical Systems) 素子及びその製造方法に係わるものである。更に、本願発明の別な観点は前記容量型 M E M S 素子を搭載した高周波装置に関するものである。尚、容量型 M E M S 素子は容量値を可変することによって高周波  
10 の電気信号をオン／オフする素子である。そして、数メガヘルツから数テラヘルツの高周波の電気信号に対して有用である。

## 背景技術

従来、電気信号をオン／オフする微細な電気機械部品として、M E  
15 M S 素子が知られている。

特に高周波信号をオン／オフする高周波スイッチに適用された M E M S 素子として、例えば、J. J. Yao., TOPICAL REVIEW “RF MEMS from a device perspective.” J. Micromech. Microeng. 10(2000) R9-R38. (特に、R13, figure5) (文献 1) に開示された容量型 (静電駆動型) M  
20 E M S 素子、及び H.A.C. Tilmans., “RF-MEMS metal contact capacitive switches.” 4<sup>th</sup> Round Table on MNT for Space. 20/22 May, 2003 (ESTEC, Noordwijk, NL. Page4-Page7) (文献 2) に開示された容量型 M E M S スイッチがある。これらは、電圧印加による上部電極の上下運動によって上下電極間の容量値を変化させる機能を有している。  
25 る。

文献 1 に示された容量型 M E M S 素子では、基板上に形成された下

部電極である信号線路上に薄い誘電体膜が形成されており、信号線路の両側には接地線が平行に形成されている。そして、その接地線には金属のアンカ、バネ、及び上部電極の一体構造からなるメンブレンが電氣的に接続されている。そして、このメンブレンは信号線路上に形成された誘電体膜に対して空間を設けて垂直に跨ぐかたちで形成されている。

文献 2 に示された構造の特徴として、上部電極の下方に位置する下部電極上の誘電体膜上に、フローティングメタルと呼ばれる金属膜が形成されている。

素子の基本動作は、次の通りである。前記 2 種類の MEMS 素子では、上部電極として機能するメンブレンと下部電極である信号線路との間に直流電圧が印加されないときは、メンブレンと信号線路上に形成された誘電体膜との間の空間によって、スイッチ動作としてはオン（メンブレンアップ）状態になっており、入力された信号は出力端へ到達する。直流電圧が印加されると、メンブレンと信号線路との間の電位差によって生じる静電気力（即ち、クーロン力）によって、メンブレンが信号線路側に引き付けられ、弾性変形して基板側に曲がる。そして、例えば、文献 1 の容量型 MEMS 素子では、上部電極部は信号線路上の誘電体膜に接触するかたちとなり、一方、文献 2 の容量型 MEMS スイッチでは、上部電極部は誘電体膜上に形成されたフローティングメタルに接触するかたちとなる。

それによって、前記の 2 つの構造とも、メンブレンと誘電体膜、及び信号線路からなるキャパシタ構造が形成されるため、スイッチ動作としてはオフ（メンブレンダウン）状態になる。この状態では、入力された信号は出力端へ到達できなくなる。しかし、文献 2 に開示された構造では、誘電体膜上に密着して形成されたフローティングメタル

の効果により、文献 1 の構造よりもオフ状態での容量値は安定した高い値が得られる。この為、文献 2 の構造は、高周波信号に対するスイッチング特性において、文献 1 の素子よりも良好な特性が得られる特徴がある。

- 5      尚、前記方式の M E M S 素子は、容量型 M E M S 素子（スイッチ）という呼び名のほか、その動作原理から静電駆動型 M E M S 素子（スイッチ）とも呼ばれている。本願明細書での以下の説明では、前記複数の呼び名の素子は、特に断りがない場合は同一のものとする。

- 10      M E M S スイッチには、信号線に対して直列に M E M S 素子を接続したシリーズ接続型スイッチと、並列に接続したシャント型スイッチがある。本明細書では、特に断らない限りシャント型を例に説明する。本願発明がいずれの型のスイッチにも用いることが出来ることはいうまでもない。

## 15      発明の開示

本発明の主たる目的は、高周波信号に対して良好且つ安定したスイッチング特性が得られ、更には低電圧で動作する容量型 M E M S 素子及びその製造方法を提供することにある。更には、本発明の容量型 M E M S 素子を搭載した高性能な高周波装置を提供することにある。

- 20      本願発明の容量型 M E M S 素子の主な形態は次の通りである。即ち、絶縁性基板と、前記絶縁性基板上に形成された下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された導体層と、上部電極を有する。この上部電極は前記下部電極に対向し且つ少なくとも前記誘電体層上の導体層と間隙を有して配置され、且つ前記  
25      誘電体層上の導体層への接触・非接触の制御がなされる。

そして、本願発明では、前記誘電体層上の導体層は、前記絶縁性基

板の垂直方向から見て、前記上部電極と前記下部電極とが対向する領域において、その対向面積の一部に当該誘電体層上の導体層が存在するように形成され、且つ前記上部電極と前記下部電極とが対向する領域における前記誘電体層上の導体層が存在する領域の面積が、当該対向領域における前記誘電体層上の導体層が存在せざる領域の面積と等しいか小さいことが肝要である。

更に、本願発明の容量型MEMS素子の別な形態は次の通りである。即ち、絶縁性基板と、前記絶縁性基板上に形成された下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された導体層と、上部電極を有する。この上部電極は、前記下部電極に対向し且つ少なくとも前記誘電体層上の導体層と間隙を有して配置され、且つ前記誘電体層上の導体層への接触・非接触の制御がなされる。そして、前記誘電体層上の導体層は、高周波信号に対する抵抗体を介して所望電位に直流的に接続されていることが肝要である。

更に、本願発明の別な観点は、前記諸容量型MEMS素子を有する高周波装置を提供するものである。

#### 図面の簡単な説明

第1A図は、本発明に係る容量MEMS素子の第1の実施形態を説明するための平面図である。

第1B図は、第1A図におけるB-B'線による断面図である。

第2A図は、従来技術の課題を解決する他の手段を説明するための平面図である。

第2B図は、第2A図におけるB-B'線による断面図である。

第3A図は、従来の容量型MEMS素子を説明するための平面図である。

第 3 B 図は、第 3 A 図における B - B' 線による断面図である。

第 4 A 図は、従来の容量型 MEMS 素子を説明するための上面図である。

第 4 B 図は、第 4 A 図における B - B' 線による断面図である。

5 第 5 図は、従来技術の課題を解決する手段を説明する為の平面図である。

第 6 図は、従来技術の課題を解決する他の手段を説明する為の平面図である。

10 第 7 A 図は、本発明に係る容量 MEMS 素子の第 1 の実施形態を説明するための平面図である。

第 7 B 図は、第 7 A 図における B - B' 線による断面図である。

第 8 図は、本発明の第 3 の実施形態を説明するための平面図である。

第 9 A 図は、本発明に係る容量 MEMS 素子の第 4 の実施形態を説明するための平面図である。

15 第 9 B 図は、第 9 A 図における B - B' 線による断面図である。

第 9 C 図は、第 9 A 図の例のメンブレンの構造を説明する概略斜視図である。

第 10 A 図は、本発明に係る容量 MEMS 素子の第 5 の実施形態を説明するための平面図である。

20 第 10 B 図は、第 10 A 図における B - B' 線による断面図である。

第 11 A 図は、第 6 の実施形態の制御回路の等価回路図である。

第 11 B 図は、第 7 の実施形態の制御回路の等価回路図である。

第 12 A 図は、第 6 の実施形態での、メンブレンのアップの状態を示した断面図である。

25 第 12 B 図は、第 6 の実施形態での、メンブレンのダウンの状態を示した断面図である。



第 1 3 図は、第 8 の実施形態に用いた制御回路の説明用等価回路図である。

第 1 4 図は、第 9 の実施形態を説明するためのブロック図である。

第 1 5 図は、第 1 の実施形態の容量型 M E M S 素子の製造工程例を示す断面図である。

発明を実施するための最良の形態

#### <問題点の考察>

10 発明を実施するための諸形態を具体的に説明するに先立って、これまでの容量型 M E M S 素子に関して、発明者らが見出した問題点を説明、考察する。

本発明者等は、先ず、文献 1 の構造とほぼ同等の構造を有する容量型 M E M S 素子を試作して、前記と同様のスイッチ動作（オン／オフ）時における容量の絶対値及び容量比を評価した。

15 この時試作した容量型 M E M S 素子は、第 3 A 図、第 3 B 図に示した構造である。第 3 A 図は素子の平面図、第 3 B 図は断面図である。

絶縁基板 3 の上部に信号線路 1 が設けられる。これを囲んで接地線 2 が配置される。この信号線路 1 を覆って誘電体膜 5 が形成される。接地線 2 に接触しながら、前記誘電体膜 5 と間隙 8 0 を保って上部電極 1 2 が設けられる。尚、上部電極 1 2 の両端部にバネ 1 1 が形成されている。上部電極 1 2、バネ 1 1、及びバネに接続されるアンカ 1 0 で構成される部材をメンブレン 8 と称する。

25 メンブレン 8 は、接地線 2 1（以降「アース」と称する）に接続されたアンカ 1 0、ミアンダ（曲折構造）を有するバネ 1 1、及び上部電極 1 2 が一体構造を成している。メンブレン 8 の下方の基板（3）上に接して形成された下部電極である信号線路 1 と上部電極 1 2 との

対向領域（垂直方向から見て上部電極と下部電極の両者が重なった領域：以降、特に断りが無い場合には単に「対向領域」と略す）の面積は、200マイクロメートル×200マイクロメートルである。

5 上部電極12／誘電体膜5間の空間80の距離は約1.3マイクロメートルで、下部電極である信号線路1上の一部及び絶縁基板3上の一部に形成された誘電体膜5の材料には、膜厚が0.3マイクロメートルのアルミナ膜を用いた。

10 メンブレン8には、膜厚が2.5マイクロメートルのAu（金）を用いており、一方、下部電極である信号線路1とメンブレン8に接続された接地線2には下層Ti（膜厚が0.05マイクロメートル）との上層Au（金、膜厚が0.5マイクロメートル）の積層膜を用いた。

15 又、製造プロセス途中では、中空に浮いたメンブレン8を形成するために、後に除去することとなる犠牲層パターンをメンブレン下に形成している。この犠牲層の除去を容易にするために、図示していないが、上部電極12には10マイクロメートル<sup>□</sup>の穴が20マイクロメートル間隔で複数箇所設けられている。犠牲層に関しては後述される。

犠牲層に用いられる材料としては、一般に酸化シリコン膜、ホトレジスト膜、ポリイミド膜等があるが、前記容量型MEMS素子の作製にはポリイミド膜を用いた。

20 前記構造の容量型MEMS素子を用いて、信号線路1に0Vから徐々に印加電圧を上げていった（尚、アース2は接地されている）結果、アース2に接続された上部電極12／信号線路である下部電極1間に電圧を印加していない（0V：即ち、メンブレンアップ）時に得られた容量値（約0.5pF）に対して、上部電極12／下部電極1  
25 間に直流電圧を6V印加して、上部電極12が下部電極1の方向に引き付けられて誘電体膜5に接触（メンブレンダウン）しても、容量値

は約 3 倍程度の値（約 1.6 pF）にしか増大しなかった。

前記容量型 MEMS 素子の動作に関して、シミュレーションによる計算では、上部電極 12 が誘電体膜 5 に完全に接する（メンブレンダウン）ことにより、メンブレンアップ時（即ち、0 V 時点）よりも容量値が約 50 倍程度増大する結果が得られているにもかかわらず、実際の試作では上述の通り容量値増加は極めて小さかった。

この原因を調査したところ、上部電極 12 が誘電体膜 5 に完全に接する電圧を印加した場合でも、両者の間には僅かな隙間（エアギャップ）が生じていることが判明した。

10 即ち、このエアギャップにより、上部／下部電極間に低誘電領域が形成されて容量値が小さくなってしまったものと考えられる。

一方、文献 2 に開示された構造についても実際に試作し、前記と同様の電圧印加時における容量の絶対値及び容量比を評価した。

15 この時試作した容量型 MEMS 素子は第 4 A 図、第 4 B 図に示した構造である。第 4 A 図は素子の平面図、第 4 B 図は線 B B' での断面図である。

絶縁基板 3 の上部に下部電極となる信号線路 1 が設けられる。この信号線路 1 を囲んで接地線 2 が配置される。本例では、この誘電体膜 5 の上にフローティングメタル（フロート状態の金属膜）6 が配置されている。接地線 2 に接触しながら、前記フローティングメタル 6 及び誘電体膜 5 と間隙 80 を保って上部電極 12 が設けられる。尚、上部電極 12 の両端部にバネ 11 及びバネに接続されるメンブレン 8 が形成される。メンブレン 8 は上部電極 12、バネ 11、及びアンカ 10 で構成される。

25 本例は、前記第 3 A 図、第 3 B 図で示した構造に、定常時は電氣的にどこにも接続されていないフローティングメタル 6 を形成したもの



である。本例では、この金属膜 6 は、対向領域 8 1 内の誘電体膜 5 上に、膜厚が 1 0 0 ナノメートルの Au（金）膜とした。

このフローティングメタル 6 の面積は、前記両電極の対向領域 8 1 よりも小さく、寸法を 1 8 0 マイクロメートル×1 8 0 マイクロメートルとした。形成した位置としては、対向領域 8 1 の外周部 4 辺からそれぞれ 1 0 マイクロメートル内側の領域まで覆われている。

前記構造の容量型 MEMS 素子を用いて評価した結果、上部電極 1 2 / 下部電極 1 間に直流電圧を印加して、上部電極 1 2 が下部電極 1 方向に引き付けられてフローティングメタル 6 に接触（メンブレンダウン）させた時に、容量値が 2 4 p F（0 V 時の約 5 0 倍）という極めて高い容量値を示した。

しかし、動作電圧としては約 2 0 V という前記フローティングメタル 6 がない場合の約 3 倍以上の高い電圧を必要とした。更に、何回か前記メンブレンの上下動を繰り返させた後、前記 2 0 V の電圧をかけたまま数秒間放置すると、上部 / 下部電極間の容量値が初期値（0 . 5 p F 程度）に戻ってしまう現象が発生した。

更に、この状態から、印加電圧を 0 V に戻すと、また容量値は 2 0 p F 以上にまで増大するが、数秒の後に初期値（0 . 5 p F 程度）に戻る、という不可解な現象も起こった。

以上のことから、上述のフローティングメタル 6 を備えた容量型 MEMS 素子は、特に数百メガヘルツ以上の高周波信号を扱う高周波スイッチに適用した場合、素子の動作に高電圧を要し、且つ極めて不安定なスイッチング特性しか得られないことが判明した。

#### <本願発明と現象の考察>

本発明の骨子は、前述した通り、導体層からなるフローティングメタルを備えた容量型 MEMS 素子において、対向領域内における導体

層（フローティングメタル）の面積比率を、対向領域全体の50%以下（それ以外は誘電体膜露出領域）にすることにある。

更に、上記問題を解決する別な手段は、前記導体層（フローティングメタル）を、高周波信号に対して抵抗となる物質を介して、所望の  
5 電位を有する物質と直流的に接続することである。この時、前記高周波信号に対して抵抗となる物質は、少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満の電気抵抗値を示す抵抗体や、高周波信号に対して少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満のインピーダンスを示すインダクタであることが望ましい。

10 前記所望の電位を有する物質は、素子の構造にもよるが、前記上部電極、接地領域（アース）、直流電圧を印加して前記上部電極の上下動を制御する制御電極、の群のうち何れか一つであることが素子作製を容易にする上でも望ましい。このことによって、基本的にチャージアップを防止するものである。

15 フローティングメタルのパターン形状は、特に、特定の形状に限定するものではなく、前記対向領域における面積比率が守られるのであれば、例えば、パターン内部に所定の形状を有する開口部を設けることによって、前記誘電体膜の露出領域を確保しても構わない。

又、前記バネと前記アンカと前記上部電極は、一体構造を成し、且  
20 つ連続した金属体によって形成されていることが望ましい。

前記金属体は、少なくとも低抵抗な金属材料を主体とした物質によって形成されていることが好ましく、例えばアルミニウムを含む単層膜、もしくはアルミニウム含有膜と他の金属膜との積層膜や、金を含む単層膜、もしくは金含有膜と他の金属膜との積層膜、銅を含む単層  
25 膜、もしくは銅含有膜と他の金属膜との積層膜、の何れか一つによって形成されていることが望ましい。

又、前記誘電体膜上の導体層についても、例えばアルミニウムを含む単層膜、もしくはアルミニウム含有膜と他の金属膜との積層膜や、金を含む単層膜、もしくは金含有膜と他の金属膜との積層膜、銅を含む単層膜、もしくは銅含有膜と他の金属膜との積層膜、の何れか一つ  
5 によって形成されていることが望ましい。即ち、一般に、低抵抗な金属材料を主体とした物質によって形成されていることが好ましい。

前記の従来技術で示した高電圧動作に関して考察すると、まず静電気力によって上部電極が下部電極方向に引き付けられるためには、静電気力は上部電極が接続されているバネの復元力よりも大きくならな  
10 ければならない。

しかし、前記構造のように下部電極上に誘電体膜を介してフローティングメタルを設けたものでは、その領域における下部電極からの静電気力はフローティングメタルに強く働きかける（フローティングメタルも上部電極と同じ電位：即ち、0 V）ように作用する。

そして、直流電圧を印可し続けることによって、フローティングメタルにも徐々に電荷が蓄積されていくため、フローティングメタルとフローティングメタル上に位置する上部電極との間の電位差が生じ始める。そして、その間の電位差が増大していくのに従って、その間で発生する静電気力も増大していき、上部電極はフローティングメタル  
15 20 に引き付けられるようになる。

この時、フローティングメタルとフローティングメタル上に位置する上部電極との間で発生する静電気力が、フローティングメタルに電荷が蓄積されて上部電極を引き付けることが可能となるまでに、電圧印加を開始した時から若干の時間差が生じる。

このため、電圧印加直後のフローティングメタルと上部電極との間の広い対向領域では、極めて弱い静電気力しか生じていない。  
25

例えば、1秒以下の短い時間で電圧切り替え操作を行って上部電極を上下動させるためには、即ち弱い静電気力を発生する広いエリアを含めた対向領域全体の静電気力が、バネの復元力よりも大きくなるためには、主にフローティングメタルが存在しない外周部の狭い領域（強い静電気力発生）で引き付けるようにしなければならない。この時、前記フローティングメタル領域でも弱い静電気力は生じている。その結果前記フローティングメタルがない構造よりも高い電圧が必要となり、前記の従来構造を有する素子の動作に20Vもの高い電圧が必要になってしまったものと考えられる。

次に、本願発明の係わる容量値の挙動に関する不可解な現象について考察する。

前記のように上部電極／下部電極間で20Vもの直流電圧を印加して、上部電極がフローティングメタルに直接接触するようになると、今度は上部電極がフローティングメタルと同様に電荷を蓄積しはじめる。

前記のように直流電圧を印可し続けることによって、上部電極とフローティングメタルは同電位となるため、フローティングメタルから上部電極へ生じていた静電気力は消滅する。その結果、上部電極を引き付けていた静電気力はバネの復元力よりも小さくなって、上部電極がフローティングメタルから離れてしまい、容量値が小さくなった。この時、フローティングメタルは電氣的には絶縁されているため、蓄積された電荷は、自然放電でしか放出されない。そして、自然放電には数十秒間を要する。

フローティングメタルに電荷が蓄積された状態で、印加電圧を急激に0Vにした場合、もともとアースに接地されて電位が0Vに戻った上部電極と、電荷が蓄積されたままのフローティングメタルとの間に

は、又、大きな電位差が生じるため、この間でバネの復元力よりも大きい静電気力が発生して、上部電極がフローティングメタルに引き付けられて接触し、一時的に容量値は回復する。

5       しかし、フローティングメタルに蓄積された電荷は上部電極を介して速やかに放出されるため、数秒の後にフローティングメタルの電位は 0 V に戻り、静電気力が消滅してバネの復元力によって両者は離れ、容量値が初期値に戻った、と考えられる。

10       以上の考察を確認するため、先ず、前記第 4 A 図、第 4 B 図に例示した例と同様の寸法・構造を有する容量型 MEMS 素子を用いて、対向領域内におけるフローティングメタル領域と容量膜領域との面積比を変えて作製し、それぞれの動作電圧と前記現象の発生有無について調べた。

15       この実験で用いた容量型 MEMS 素子の上部電極と下部電極との対向領域の寸法は、前記と同様 200 マイクロメートル×200 マイクロメートルであり、フローティングメタルの寸法をそれぞれ 100 マイクロメートル<sup>□</sup> (全体の 25%)、120 マイクロメートル<sup>□</sup> (全体の 36%)、150 マイクロメートル<sup>□</sup> (全体の 56%)、170 マイクロメートル<sup>□</sup> (全体の 72%) とした。形成した位置は、前記対向領域の中心とフローティングメタルの中心とをあわせるように形成した。

20       前記それぞれの素子を 5 つずつ評価し、その結果を表 1 に纏めた。



表 1

	サイズ ( $\mu\text{m}\square$ )	面積比率 (%)	動作電圧 (V)	容量値の変化 発生個数 ( / 5 ケ)
	1 0 0	2 5	7 . 2	0
5	1 2 0	3 6	8 . 1	0
	1 4 0	5 0	8 . 7	0
	1 5 0	5 6	9 . 0	1
	1 7 0	7 2	1 6 . 4	5

- 10 表 1 より、動作電圧に関しては、フローティングメタルが小さくなればなるほど、動作電圧も小さくなっている。フローティングメタルが 1 5 0 マイクロメータ $\square$  (全体の 5 6 %) の素子では、フローティングメタルが無い場合の動作電圧 (= 6 V、前記従来技術に記載) の約 1 . 5 倍の 9 V で動作することがわかった。又、1 4 1 マイクロメータ $\square$  (全体の 5 0 %) の素子では、8 . 7 V 動作する。

次に、直流電圧を印加したまま放置することによって発生する不可解な容量値の挙動 (変化) については、全体の対向面積に占めるフローティングメタルの面積比率依存性が明確に現れている。フローティングメタルの寸法が対向面積全体の約 5 6 % となる 1 5 0 マイクロメータ $\square$ を境に比率が大きい場合には、すべて不可解な容量変化が発生しており、逆にそれよりも小さい場合にはすべて発生しない結果となった。

1 5 0 マイクロメータ $\square$ のフローティングメタルがある素子では、1 個 ( / 5 個) だけ容量が変化する挙動を見せ、一方、1 4 1 マイクロメータ $\square$ のフローティングメタルがある素子では、不可解な容量変化が発生しない。従って、実際に適用できるフローティングメタルの面積

比率は、対向領域全体の50%以下が望ましいといえる。

応用として、第5図に示すような構造の素子を作成し、評価した。

第5図の構造は、前記第4A図の構成とほぼ同様であるが、フローティングメタル6が、対向領域内に形成している前記フローティングメタル6から対向領域外の誘電体膜5上にも連続した一連のパターンとして形成されている。この時、垂直方向から見た前記対向領域内におけるフローティングメタルの面積比率は、対向領域全体の約45%である。

結果は、動作電圧が9.8Vであり、電圧印加放置による不可解な容量値の挙動も示さなかった。更に、容量値が約45pFという初期値(0.5pF)の約90倍もの値を示した。

これは、上部電極12がフローティングメタル6に電氣的に接触することによって、下部電極1上の誘電体膜5上に形成された広大な面積を有するフローティングメタル6と、対向する下部電極1との間の対向面積が容量値に反映されたものであると推定できる。本構造のようなフローティングメタルの配置は、スイッチのオン/オフ容量比を拡大するための一つの優れた手法であるといえる。

以上の応用実験の結果からも、対向領域におけるフローティングメタルの面積比率を、前記規定の範囲内(50%以下)にすることによって、前記従来技術で発生した不良を回避できることが判明した。更に、本構造のようなフローティングメタルのパターン配置は、上部/下部電極間に働く静電気力に対して悪影響をもたらすことはなく、スイッチのオン/オフ容量比を拡大するための一つの優れた手法であるといえる。即ち、対向領域におけるフローティングメタルの面積比率を50%以下にすれば、フローティングメタルに電荷が蓄積された場合でも、静電気力>バネの復元力の関係を維持できる。

尚、以上述べた実験では、得られた結果を比較しやすくするため、すべて同一構造、同一寸法のシャント型の容量型MEMS素子を用いているが、バネやメンブレンの寸法や形状、素子自体の構造を変えた容量型MEMS素子を用いて、フローティングメタルの面積比率を変えて実験した場合でもほぼ同様の傾向を示す結果が得られた。

しかしながら、前記推論が正しければ、フローティングメタル中の電荷は常に蓄積されたままであるため、連続して動作を繰り返す場合、素子の動作が不安定になる可能性は否めない。

そこで、前記第5図に示した素子のフローティングメタル6とアース2との間に、電気抵抗値が $1\text{ k}\Omega$ 以上の抵抗パターン7を配置（実測では $3.7\text{ k}\Omega$ ）した第6図に示すような構造の容量型MEMS素子を作製した。そして、これまでの例と同じように、上部／下部電極間に直流電圧を印加して、動作電圧及び動作電圧印加状態での放置による容量値の変化の有無を評価した。尚、前記抵抗体の抵抗値の決定方法であるが、前記の容量型MEMS素子は、主に高周波信号用のスイッチとして用いるものであり、高周波信号の性質として比較的高抵抗を有する物質や、インピーダンスにして高抵抗となるインダクタを通過することはできないため、本実験では一例として前記 $1\text{ k}\Omega$ 以上の金属抵抗体を用いた。

前記抵抗体の存在は、フローティングメタルに蓄積されたと考えられる電荷を速やかに放出するための方法の一つであり、一例として本構造では、フローティングメタルの接続先をアースとしたものである。又、これによって、フローティングメタルは直流的にはショートになるが、高周波的にはフロート状態のままである。その結果、動作電圧自体は $15\text{ V}$ にまで高電圧化してしまったものの、電圧印加したままの放置状態で、前記不可解な容量値の挙動は見られなかった。更に、

印加電圧を 0 V に戻しても、容量値は初期の値に戻ったままで変化しないことが確認できた。

前記結果に関して、まず動作電圧の上昇に関しては、前記構造の場合、アースに接続されている上部電極と、抵抗体を介して接続したフローティングメタルは、直流的には常に同電位であるので、フローティングメタル／上部電極間には静電気力が発生せず、フローティングメタル以外の誘電体膜露出領域下の下部電極と、これと対向する領域の上部電極との間の狭い対向領域のみで引き付けあっているためであると推定できる。

そして、電圧印加による放置状態での容量値の変化が起こらないのは、電荷の蓄積が起こらない前記狭い領域のみで引き付けあっているためであり、0 V に戻して上部電極がフローティングメタルに引き付けられないのも、フローティングメタルとアースとを抵抗体を介して接続することによって、フローティングメタルに溜まった電荷が速やかに放出されたためと推定できる。

以上の詳細実験及び諸考察により、フローティングメタルとアース(又は電圧端子)との間に抵抗素子を接続することにより、フローティングメタルの電荷蓄積を防止できることが判明した。

しかし、前記のように抵抗素子の抵抗値に依存して、スイッチのオン／オフ (On / Off) 切換時間と損失は劣化する。抵抗素子を用いてフローティングメタルからアースに電荷を逃がす場合、フローティングメタルに残る電荷量変化は、時間の指数関数に逆比例する。

電荷量が  $1/e$  ( $e$  は 2.71828) となる時間定数  $d_t$  は、フローティングメタルとアースとの容量  $C_f$  と、用いる抵抗素子の抵抗値  $R_f$  の積  $C_f \cdot R_f$  で表される。時間定数  $d_t$  は、必要なオンオフ切換時間  $d_{t\ off}$  より小さくする必要があるから、 $d_{t\ off} \gg d_t$

である必要がある。GHz帯で動作する低損失スイッチの場合、 $C_f$ は5 pF $\sim$ 20 pF、 $d t o f f < 0.1 \text{ msec}$ とする必要があるため、結局、 $R_f < 5 R \sim 20 \text{ M}\Omega$ である必要がある。

5 スwitchの損失を設計する場合、スイッチに接続される電子部品(L、フィルタ等)のQ値とのバランスを考慮する必要がある。L、フィルタのQ値は20 $\sim$ 2000程度であり、特に高Qフィルタの場合、スイッチにも高い性能が要求される。

10 代表的な誘電体、SAWフィルタは、Q値が800以上、直列抵抗1 $\Omega$ 以下であるため、結局、 $R_f > 800 \Omega (= 1 \Omega \times 800)$ である必要がある。

前記はフローティングメタルとの接続先がアースの場合で説明したが、電圧端子の場合でも全く同様の効果がある。又、抵抗素子の代わりにインダクタを用いる場合、 $R_f$ を動作させる周波数帯でのインピーダンスに置き換えることで、同様の効果がある。

15 次に、前記抵抗体接続構造によるスイッチの低電圧動作化を目指して、対向領域におけるフローティングメタルの面積比率を調節し、更に前記対向領域外にもフローティングメタルを配した構造の容量型MEMS素子を作製して、動作電圧の評価を行った。この例を、第2A図、第2B図に示す。第2A図は平面図、第2B図は線BB'での断面図である。本例は、第6図の例とフローティングメタル6の形状、面積比率が異なる。従って、その他の詳細説明は省略する。本例では、  
20 フローティングメタル6の面積比率は、対向領域全体の15%となるよう設計した。簡単に言えば、対向領域におけるフローティングメタル6の面積を著しく小さくして、なお且つ対向領域以外の誘電体膜5  
25 上にもフローティングメタル6を延長して広く形成した。更に、フローティングメタル6を2k $\Omega$ 程度の抵抗素子を介してアース2に短絡



させた構造である。

その結果、動作電圧が 6.2 V となる結果が得られた。この電圧値は、フローティングメタルを設けていない時とほぼ同等の値であり、この時に得られる容量値が 32 pF という初期値の約 60 倍の容量値を得た。

以上のことから、従来技術で発生した容量型 MEMS 素子の課題を解決するためには、下記事項の少なくとも一者を用いて達成することが出来る。勿論、その両者を組み合わせて用いることも出来る。

(1) 前記従来のフローティングメタルを有する構造において、対向領域内におけるフローティングメタルの面積比率を、対向領域全体の 50% 以下にする。

(2) フローティングメタル自体を、高周波信号に対して抵抗となる物質を介して、所望の電位を有する物質と直流的に接続させる。

好ましくは、対向領域内におけるフローティングメタルの面積比率を著しく小さくする、例えば全体の 15% 前後にすれば、フローティングメタルが無い構造とほぼ同等の動作電圧で動作する容量型 MEMS 素子を作製することが出来る。

更には、フローティングメタルの形成領域を、対向領域以外の下部電極上の誘電体膜上にも拡大しても、フローティングメタルは、前記の対向領域内における形成パターンの面積比率に関する制約さえ守れば、対向領域以外の領域にも広く形成しても良い。それは、フローティングメタルの形成領域が、対向領域内で生じる静電気力には何ら影響を及ぼさない為である。これにより動作時の容量値ならびにオン／オフ容量比を大きくできる。

又、前記対向領域内におけるフローティングメタルの形状は、特に限定するものではなく、如何なる形状で設けても良い。

前記高周波信号に対して抵抗となる物質とは、例えば  $1\text{ k}\Omega$  以上で  $1\text{ M}\Omega$  以下の電気抵抗値を有する高抵抗体、または  $1\text{ k}\Omega$  以上で  $1\text{ M}\Omega$  以下のインピーダンスを示すインダクタのことを指し、所望の電位を有する物質とは、素子の構造にもよるが例えば接地線、上部電極、下部電極、制御電極等を指す。

更に、前記アンカ、バネ、及び上部電極は一体構造を成してメンブレンとなり、且つ連続した同一の低抵抗な金属体によって形成されることが望ましい。

この時、前記金属体は金、アルミニウム、銅の何れかの低抵抗な単一金属膜、若しくは前記金属種と他の金属との積層膜であることが望ましい。

また前記誘電体膜上に形成された前記低抵抗金属膜についても、低抵抗な金属材料からなることが望ましく、特に上部電極との接触抵抗を著しく低減できる材料が好ましい。詳しくは、金、アルミニウム、銅等の何れか単一金属膜、若しくは前記金属種と他の金属との積層膜であることが望ましい。

更に、前記低抵抗金属膜からなるフローティングメタル表面は、平坦面である場合以外に、定常時（電圧を印加しない時）において上部電極と接触しなければ、フローティングメタルと同一材料、もしくは他の低抵抗金属材料からなる上方向への突起を一箇所、もしくは複数箇所設けても構わない。

これとは逆に、前記条件を満たすならば上部電極下面に下方向に向かう突起を一箇所、もしくは複数箇所設けても同様の効果が得られることはいうまでもない。

以上、詳述したように、本発明によれば、高周波信号に対して極めて良好かつ安定したスイッチング特性とアイソレーション特性が得ら

れる。更には、本発明によれば、高信頼で低電圧で動作する容量型MEMS素子、並びに本発明の容量型MEMS素子を搭載した高性能な高周波装置を提供できる。

本発明の容量型MEMS素子では、例えば高周波スイッチとして機能させる場合のスイッチオフ時（電圧印加時）の容量値も、対向領域以外  
5 以下の下部電極上に位置する誘電体膜上にフローティングメタルを延長して形成することによって大きくできる上に、フローティングメタル全体の面積から、ほぼ計算値通りの容量値を容易に実現できることから、スイッチ素子の設計も極めて容易になる。

更に、前記の通り、フローティングメタルの形成領域を対向領域以外  
10 以下のエリアまで拡大できること、上部電極は一箇所でもフローティングメタルに接触すればよいこと、などから、上部電極はこれまでよりも大幅に小さくできる。これによって、金属体によって構成される上部電極を含むメンブレンの、残留内部応力による湾曲・変形を著しく  
15 抑制できる可能性がある。

上部電極と接触する低抵抗金属膜からなるフローティングメタルも、抵抗値が低いAu、Al、Cu等を主体とした金属膜を用いることで、接触抵抗や直列抵抗を低減できることから、極めて低損失なまま高周波信号を伝達することができる。

本発明の容量型MEMS素子の構造・性質からして、高周波スイッチとしての用途以外に、本素子を一個、または複数個を並列・直列に  
20 接続・配置することによって、SPnTスイッチや、広い範囲の容量値を可変できる可変容量装置にも応用できる。

更に、本発明の容量型MEMS素子は、作製プロセス上の観点から  
25 見ると極めて僅かなプロセス増加で済むため、製造コストの増加も小さく抑えることができる。

本発明の容量型MEMS素子は一般的な半導体作製プロセスで容易に作製できることから、FETやバイポーラトランジスタ等の半導体能動デバイスや、他の受動デバイスと同一基板上に形成してワンチップ化することが可能となるため、これまでよりも小型化されたモジュール装置を容易に作製できる。

### <実施の諸形態>

以下、本発明に係る容量型MEMS素子を図面に示した幾つかの好ましい実施形態を参照して、更に詳細に説明する。

第1A図、第1B図に本発明の第一の実施形態を模式図で示す。第1A図は素子の平面図、第1B図はその線BB'での断面図である。

絶縁基板3上に素子の下部電極としての機能も有する信号線路1が形成され、その周辺にはアース2が形成されている。絶縁基板3は、例えばガラス基板、化合物半導体基板、高抵抗シリコン基板、圧電体基板などの絶縁材料で形成されている。絶縁基板3はまた、酸化ケイ素に代表される絶縁膜で表面を覆った半絶縁体基板、又は導電体基板でも良い。

信号線路1は、所定の距離に設置されたアース2と合せて、第1B図の表裏方向に伸びるコプレーナ型高周波信号線路として機能している。

アース2から信号線路1を跨ぐように形成されたメンブレン8は、アース2に接続された4箇所のアンカ10と、アンカ10に接続されたミアンダ（曲折構造）を有する4本のバネ11、及び上部電極12が一体構造を成している。

信号線路1上の一部及び絶縁基板3上の一部は、膜厚が0.2マイクロメートルのアルミナ膜からなる誘電体膜5で覆われており、信号線路1上に位置する誘電体膜5の表面には、Ti/Au2層構造からなる

低抵抗金属膜からなるフローティングメタル 6 が形成されている。

前記信号線路 1 と上部電極 8 との対向領域内における前記フローティングメタル 6 の面積比率は、前記対向領域全体の 15%とし、前記対向領域外の前記信号線路 1 上に位置する前記誘電体膜 5 上にも、  
5 フローティングメタル 6 を延長して広く形成している。フローティングメタル 6 は、電気抵抗値が 15 k $\Omega$  となる抵抗素子 7 を介してアース 2 に接続されている。

アース 2 は高周波的に接地されていることに加えて、直流的にも接地（直流電位 0 V）されている。従って、上部電極 12 は、バネ 11  
10 とアンカ 10 を介して接地されている。しかし、フローティングメタル 6 は、抵抗素子 7 を介してアース 2 に接続されているため、直流的にのみ接地されている。

上部電極 12 と誘電体膜 5 との間の空間の距離は約 1.2 マイクロメートルである。

15 メンブレン 8 には、膜厚が 2.5 マイクロメートルの Au（金）を用いており、信号線路 1 と接地線 2 には、下層 Ti（膜厚 0.05 マイクロメートル）との上層 Au（金、膜厚 0.5 マイクロメートル）の積層膜を用いている。

中空に浮いたメンブレン 8 を形成するための犠牲層にはポリイミド  
20 膜を用いている。犠牲層除去を容易にするため、図示していないが上部電極 12 には 10 マイクロメートル<sup>□</sup>の貫通穴が、20 マイクロメートル間隔で複数箇所設けられている。

前記構造の MEMS 素子の動作電圧（上部電極が低抵抗金属膜に接触する電圧）は 6.3 V で、その時の容量値は約 48 pF が得られた。  
25 これは 0 V の時の容量値が約 0.5 pF と比較して、約 100 倍近い値である。この値は、フローティングメタル 6 と信号線路 1 との対向



面積から計算して求めた値と、ほぼ同じ容量値が得られた。

第 7 A 図、第 7 B 図に本発明の第 2 の実施形態を模式図で示す。本例は、金属体からなる片持ち梁を用いた構造の容量型 M E M S 素子に本発明を適用した例である。第 7 A 図は素子の平面図、第 7 B 図は、  
5 その線 B B' での断面図である。

酸化ケイ素に表面を覆われた S i 基板 1 5 上に、素子の下部電極としての機能も有する信号線路 1 3 が形成され、その周辺にはアース 1 4 が形成されている。

アース 1 4 から信号線路 1 3 上の一部を覆うように形成された片持ち梁 1 6 は、アース 1 4 に接続されたアンカ 1 7 と、アンカ 1 7 に接続されたバネ 1 8、及び上部電極 1 9 が一体構造を成している。尚、上部電極 1 9 の面積は 2 0 マイクロメータ×5 0 マイクロメータである。  
10

信号線路 1 3 上の一部及び S i 基板 1 5 上の一部は、膜厚が 0 . 1 5 マイクロメータの窒化ケイ素膜からなる誘電体膜 2 0 で覆われており、信号線路上に位置する誘電体膜 2 0 の表面には、A l からなるフローティングメタル 2 1 が形成されている。  
15

この時、信号線路 1 3 上と上部電極 1 9 との対向領域内におけるフローティングメタル 2 1 の面積比率は、前記対向領域全体の 1 0 % とし、前記対向領域外の前記信号線路 1 3 上に位置する前記誘電体膜 2 0 上にも、フローティングメタル 2 1 を延長して広く形成している。フローティングメタル 2 1 は、電気抵抗値が 5 0 0 k  $\Omega$  となる抵抗素子 2 2 を介してアース 1 4 に接続されている。  
20

アース 1 4 は高周波的に接地されていることに加えて、直流的にも接地（直流電位 0 V）されていることから、アース 1 4 に接続されている上部電極 1 9 も接地されている。しかし、フローティングメタル  
25

2 1 は、抵抗素子 2 2 を介してアース 7 に接続されているため、直流的にのみ接地されている。上部電極 1 9 と誘電体膜 2 0 との間の空間の距離は約 0. 8 マイクロメートルである。

5 片持ち梁 1 6 全体は、膜厚が 2. 0 マイクロメートルの A l (アルミニウム) からなり、信号線路 1 3 とアース 1 4 についても、A l (アルミニウム、膜厚 0. 4 マイクロメートル) 単膜を用いている。

10 アース 1 4 に接続され中空に浮いた上部電極 1 9 を有する片持ち梁 1 6 を形成するための犠牲層には、ホトレジスト膜を用いており、犠牲層除去を容易にするため、図示していないが上部電極 1 9 には 2 マイクロメートル<sup>□</sup>の貫通穴が、5 マイクロメートル間隔で複数箇所設けられている。

15 前記構造の M E M S 素子の動作電圧 (上部電極が低抵抗金属膜に接触する電圧) は 1. 5 V で、その時の容量値は約 2 4 p F が得られた。これは 0 V の時の容量値が約 0. 2 p F と比較して約 1 2 0 倍の値である。

前記第 2 の実施形態における上部電極 1 9 の面積は、前記第一の実施形態のときと比較して著しく小さいことから、素子全体の大きさも前記第 1 の実施形態よりも小さい。

20 ところが、動作電圧は 1. 5 V と低電圧化された上、得られた容量値も第 1 の実施形態とほぼ同等の値が得られている。このように、本発明の構造を適用することにより、従来よりも小型で且つ優れたスイッチング特性を有する高周波用の容量型 M E M S 素子を作製することができる。

25 本発明の第 3 の実施形態として、信号線路とアースとは別に、単独で制御端子を設けた容量型 M E M S 素子の例を示す。この例は第 8 図の平面図に示される。

ガラス基板 6 0 上に信号線路 6 1 が形成され、その周辺にはアース 6 2 が形成されており、アース 6 2 領域内の一部に、アース 6 2 とは電氣的に接続しない制御端子 6 3 が形成されている。

5      メンブレン 6 4 は、制御端子 6 3 に接続されたアンカ 6 5 と、アンカ 6 5 に接続されたミアンダ（曲折構造）を有するバネ 6 6、及びアース 6 2 との間で静電気力を発生させるための領域 6 7-1 と、フローティングメタル 7 0 と接触する領域 6 7-2 とが個別に存在するかたちで形成された上部電極 6 7 が一体構造を成している。

10      尚、アンカ 6 5 は 4 箇所形成されているが、制御端子 6 3 に接続されたアンカは 1 箇所のみであり、その他のアンカはすべてガラス基板 6 0 上に接して形成されている。

15      信号線路 6 1 上の一部とガラス基板 6 0 上の一部、及びアース 6 2 上の一部は、酸化タンタルからなる膜厚が 2 5 0 ナノメートルの誘電体膜 6 9 で覆われた構造となっており、信号線路 6 1 上に位置する誘電体膜 6 9 上にはフローティングメタル 7 0 が形成されている。フローティングメタル 7 0 は、1 G H z 程度の高周波信号に対して 1 5 0 k  $\Omega$  程度のインピーダンス特性を示すインダクタ素子 7 1 を介して信号線路 6 1 に接続されている。尚、前記信号線路 6 1、アース 6 2、制御端子 6 3、メンブレン 6 4、フローティングメタル 7 0 は、すべて  
20      銅によって構成されている。

前記構造では、上部電極 6 7 と信号線路 6 1 との対向領域内には誘電体膜 6 9 が露出した領域は僅かに存在するだけであり、フローティングメタル 7 0 が占める面積比率は約 9 0 % である。しかし、メンブレン 6 4 との間の静電気力は主にアース 6 2 との間で発生するため、  
25      動作上何ら問題はない。

前記構造は、上部電極 6 7 が接触することによるフローティングメ

タル 70 への電荷蓄積を防止するために、インダクタ素子 71 を設けたものである。

信号線路上の誘電体膜上の殆どの領域にフローティングメタルを形成できるため、制御端子への電圧印加によってメンブレンがフローティングメタルに接触した時に得られる容量値を、著しく大きくできる特徴がある。

以上、シャント接続型の素子を例に説明したが、本発明はシリーズ接続型でも同様の効果がある。

第 9 A 図、第 9 B 図、第 9 C 図に、本発明の第 4 の実施形態を模式図で示す。第 9 A 図は素子の平面図、第 9 B 図は、その線 B B' での断面図である。同図はシーソー構造のメンブレンを備えた容量型 MEMS 素子である。第 9 C 図は、メンブレンの構造を説明する概略斜視図である。

ガラス基板 28 上に、膜厚が 500 nm の Cu (銅) からなる入力信号線路 24 が形成され、その両側には出力信号線路 25 (左側)、及び 26 (右側) が形成されている。そしてその周辺にはアース 27 が形成されている。

ガラス基板 28 上に形成された入力信号線路 24 に接続された Au からなるメンブレン 29 は、2箇所のアンカ 30 と、前記両アンカ 30 を中空で接続するねじれバネである第一のバネ 31 と、第一のバネ 31 から左右両側に延びる第二のバネ 32 と、第二のバネ 32 から左右両側に接続・配置された上部電極 33 (同図左側)、及び 34 (同図右側) によって構成されている。

ここで、入力信号線路 24 は左右の上部電極 33 及び 34 に接続されており、両上部電極下に位置するガラス基板 28 上には、下から下部電極である Cu からなる出力信号線路 25 (同図左側) 並びに 26

(同図右側)と、窒化ケイ素膜からなる誘電体膜 35 と、下から T i / A u の積層膜からなるフローティングメタル 36 (左側)、37 (右側)とが積層されており、両上部電極に対して距離 = 1.0 マイクロメートルの空間を設けて左右それぞれに形成されている。

- 5 この時、左右それぞれの出力信号線路 25 並びに 26 と、左右それぞれの上部電極 33、34 との対向領域内における、左右それぞれのフローティングメタル 36、37 の面積比率は、両者とも前記対向領域全体の 35 % であり、前記対向領域外の前記出力信号線路 25、26 上に位置する前記誘電体膜 35 上にも、フローティングメタル 36、  
10 37 をそれぞれ延長して広く形成している。

フローティングメタル 36、37 は、1 G H z ~ 5 G H z 程度の高周波信号に対して 300 k  $\Omega$  程度のインピーダンスを示すインダクタ素子 38、39 を介してアース 27 に接続されている。

- 前記構造の容量型 M E M S 素子は、入力信号線路 24 と左右に配置  
15 された出力信号線路 25、26 のどちらかとの間で直流電圧を印加することにより動作する。

- 例えば、左側の出力信号線路 25 との間で電圧を印加すると、左の上部電極 33 が線路 25 に引き付けられて左側のフローティングメタル 36 に接触することにより、キャパシタ構造を形成する。この時入力信号線路 24 に入力された高周波信号は、このキャパシタを介して  
20 左側の出力信号線路 25 から出力される。この時反対側の上部電極 34 は、上にはね上がるため、出力信号線路 26 と上部電極 34 のアイソレーションが増す。

- 逆に、左側での電圧印加を止め、右側の出力信号線路 26 との間で  
25 電圧を印加することにより、左側の上部電極 33 は低抵抗金属膜 36 から離れてもとの位置に戻る。そして、右側の上部電極 34 が右側の



出力信号線路 2 6 に引き付けられて、右側のフローティングメタル 3 7 と接触することにより、今度は高周波信号が右側の出力信号線路 2 6 から出力されるものである。この時、反対側の上部電極 3 3 は、上にはね上がるため、出力信号線路 2 5 と上部電極 3 3 のアイソレーションが増す。

前記実施形態によれば、基本発明の容量型 M E M S 素子は、一般に一つの信号線路に対して 2 つの経路を選択的に切り替えることができる S P D T スイッチと呼ばれる構造である。本例は本発明の効果を反映して、低損失かつアイソレーション特性に優れた高周波信号用のプッシュプル型 1 入力 2 出力切替スイッチ等を提供できる。

前記本発明の容量型 M E M S 素子では、素子内部にインダクタ素子や抵抗素子を設けた場合について述べたが、この他、素子外の外部に形成した抵抗素子やインダクタ素子にフローティングメタルを接続しても同様の効果が得られる。

第 1 0 A 図、第 1 0 B 図に、本発明の第 5 の実施形態を模式図で示す。第 1 0 A 図は素子の平面図、第 1 0 B 図は、その線 B B ' での断面図である。本例は、前記第 1 の実施形態で述べたものとほぼ同一構造のメンブレンを有しているが、シリーズ接続型を有するオン／オフスイッチに本発明を適用した例である。シリーズ接続型とは、信号線路を入力側と出力側とに分断して、入力側と出力側との間に電圧を印加して、メンブレンが低抵抗金属膜と接触した時に高周波信号が出力側へ流れる機構のものである。

酸化ケイ素で表面を覆われた S i 基板 4 3 上に、A 1 の入力信号線路 4 0 が形成され、該線路 4 0 のコの字形領域の内側には、所定の間隔を有して A 1 からなる出力用信号線路 4 1 が形成されている。そして、その周辺にはアース 4 2 が形成されている。

入力信号線路 4 0 のコの字形領域部に接続され出力信号線路 4 1 を  
跨ぐように形成されたメンブレン 4 4 は、4 箇所のアンカ 4 5 と、ア  
ンカ 4 5 に接続されたミアンダ(曲折構造)を有する 4 本のバネ 4 6 、  
及び上部電極 4 7 が一体構造を成している。出力信号線路 4 1 上の一  
5 部及び S i 基板 4 3 上の一部は、酸化タンタル膜からなる誘電体膜 4  
8 で覆われており、出力信号線路 4 1 上に位置する誘電体膜 4 8 の表  
面には、A u からなる開口部を有するフローティングメタル 4 9 が形  
成されている。上部電極 4 7 の下面には A u からなる突起 5 0 が下方  
に向かって複数箇所形成されている。

10 この時、出力信号線路 4 1 と上部電極 4 7 との対向領域におけるフ  
ローティングメタル 4 9 の面積比率は、前記対向領域全体の 1 5 % で  
あり、前記対向領域外の前記出力信号線路 4 1 上に位置する前記誘電  
体膜 4 8 上にも、対向領域から延長されたフローティングメタル 4 9  
を広く形成している

15 上部電極 4 7 とフローティングメタル 4 9 との間の空間の距離は約  
1 . 0 マイクロメートルであり、上部電極 4 7 下面に設けた突起 5 0 は  
約 0 . 3 マイクロメートルの高さを有するため、前記突起 5 0 の先端か  
らフローティングメタル 4 9 までの距離は 0 . 7 マイクロメートルとな  
っている。

20 メンブレン 4 4 には、膜厚が 1 . 5 マイクロメートルのメッキによる  
C u (銅) を用いており、入力信号線路 4 0 と出力信号線路 4 1 、及  
びアース 4 2 には、A l (膜厚が 0 . 6 マイクロメートル) の単膜を用  
いている。

25 中空に浮いたメンブレンを形成するための犠牲層には感光性を有す  
るポリイミド膜を用いており、犠牲層除去は専用の剥離液を用いたウ  
エット処理と、最終工程として炭酸ガスによる急速乾燥処理を施した。

前記構造のMEMS素子は、入力信号線路40と出力信号線路41との間で電圧を印加することにより、入力信号線路40に接続されている上部電極47が出力用信号線路41に引き付けられて低抵抗金属膜49に接触することによりキャパシタ構造を形成する。この時、入力信号線路40に入力された高周波信号が、このキャパシタを介して出力信号線路41に流れるものである。

前記実施形態では、フローティングメタルに蓄積される電荷を放出するための抵抗素子等は設けていないが、対向領域におけるフローティングメタルの面積比率が15%と十分に小さいため、素子動作に何ら支障を来たすことなく正常にスイッチとして動作する。

前記実施形態によれば、入力信号のロス（損失）が極めて小さく通過特性が良好な高周波信号用の容量型MEMS素子を提供できる。

第6の実施形態である高周波装置を説明する。第11A図は、本発明の容量型MEMS素子を搭載した高周波装置として、高周波信号のオン／オフスイッチに前記第1の実施形態で説明した本発明の容量型MEMS素子（第1A図、第1B図に図示される）を適用した時の、本MEMS素子と制御回路の等価回路図である。MEMS素子の信号線路1及び上部電極12が回路的に示される。第12A図及び第12B図は、本例におけるおのおのメンブレルのアップ・ダウンの状態を示すMEMS素子の断面図である。断面図における各部位は第1の実施形態における符号と同じ符号で示される。

MEMS素子の上部電極12は、信号線路1に並列に接続された本発明の高周波スイッチ52として機能する。符号53、54はそれぞれ、信号線路1への入力端子、出力端子である。下部電極である信号線路1は直流的に浮いており、信号線路1に高周波に対して高いインピーダンスを呈するインダクタンスL及び抵抗Rを介して制御端子55

が接続されている。即ち、制御端子 5 5 に制御用の直流電圧を与えると、インダクタンス  $L$  及び抵抗  $R$  を経て信号線路 1 に同直流電圧が印加される。

信号線路 1 に直流電圧を印加していない(直流電位 0 V)のときは、  
5 第 1 2 A 図に示すように、上部電極 1 2 はバネ 1 1 で機械的に保持されている。従って、上部電極 1 2 は信号線路 1 から十分離れているため、上部電極 1 2 と信号線路 1 間の容量値は非常に小さい(メンブレンアップ、容量値が約 0.5 pF)。この時、信号線路 1 に流れる高周波信号は、その入力端子 5 3 から出力端子 5 4 に低損失に伝わる(ス  
10 イッチオン状態)。

信号線路 1 に直流電圧を印加した場合、上部電極 1 2 と信号線路 1 との間に静電気力が発生する。バネの復元力よりも静電気力が強い場合、第 1 2 B 図に示すように上部電極 1 2 は誘電体膜 5 上に形成されたフローティングメタル 6 に張り付くように接触する(メンブレンダ  
15 ウン、容量値=約 48 pF)(スイッチオフ状態)。

このスイッチオフ状態のとき、上部電極 1 2 がフローティングメタル 6 と電氣的に接触するため、上部電極 1 2 を介して接続されたフローティングメタル 6 と誘電体膜 5 と信号線路 1 からなるキャパシタを構成する。これにより高周波では信号線路 1 は接地されたのと同等となる。従って、入力端子 5 3 から信号線路 1 に流れる高周波信号は、  
20 その大部分が、上部電極 1 2 と接するフローティングメタル 6 が誘電体膜 5 に接している部分で反射されるため、出力端子 5 4 にはほとんど到達しない。

上部電極 1 2 と信号線路 1 との間の静電気力は、領域 1 4 によって  
25 保持し続けられるため、電圧印加を止めない限り前記キャパシタ構造を維持し続ける。

第 7 の実施形態である高周波装置を説明する。第 1 1 B 図は、前記第 5 の実施形態で説明した本発明のシリーズ接続型を有する容量型 M E M S 素子（第 1 0 A 図、第 1 0 B 図に図示される）を前記と同様のスイッチに適用した時の、M E M S 素子と制御回路の等価回路図を示したものである。入力信号線路 4 0 及び出力信号線路 4 1 が回路的に示される。符号 7 3、7 4、及び 7 5 は、各々入力端子、出力端子及び制御端子を示す。

入力信号線路 4 0 に接続された上部電極 4 7 は、出力信号線路 4 1 に直列に接続された本発明の高周波スイッチ 7 2 として機能する。ここで、出力信号線路 4 1 は高周波に対して高いインピーダンスを呈するインダクタンス L 及び抵抗 R を介して制御端子 7 5 が接続されている。即ち、制御端子 7 5 に制御用の直流電圧を与えると、インダクタンス L 及び抵抗 R を経て出力信号線路 4 1 に同直流電圧が印加される。

出力信号線路 4 1 に直流電圧を印加していない（直流電位 0 V）のとき、上部電極 4 7 は出力信号線路 4 1 から十分離れているため、入力された信号は出力信号線路 4 1 に到達しない。（メンブレンアップ）

出力信号線路 4 1 に直流電圧を印加した場合、上部電極 4 7 と出力信号線路 4 1 との間に静電気力が発生する。この時上部電極 4 7 が引き付けられてフローティングメタル 4 9 と接触する（メンブレンダウン）ことにより、上部電極 4 7 を介して接続されたフローティングメタル 4 9 と誘電体膜 4 8 と出力信号線路 4 1 からなるキャパシタを構成する。これにより入力された信号は出力信号線路 4 1 に到達できるようになる。

本実施形態によれば、本発明の容量型 M E M S 素子を搭載した高周波スイッチは、高周波信号に対して極めて良好なスイッチング特性を得ることができる



第 8 の実施形態である高周波装置を説明する。本発明の容量型 M E M S 素子を搭載した高周波装置として、一つの入力信号を 2 つの経路に切り替えることができるスイッチに、前記第 4 の実施形態で説明した本発明の容量型 M E M S 素子（第 9 A 図、第 9 B 図に図示される）

5 を適用した例である。第 1 3 図に、本 M E M S 素子と制御回路の等価回路図を示す。第 1 3 図の符号は第 9 A 図、第 9 B 図と同一部位は同一符号が用いられる。符号 2 4 は入力信号線路、符号 2 5、2 6 はそれぞれ、左側の出力信号線路、右側の出力信号線路を示す。符号 2 9 はメンブレン、3 3、3 4 は、左側の上部電極、右側の上部電極、5  
10 6 は入力端子、5 7、5 8 は出力端子、5 9 は制御端子である。

本実施形態では、メンブレン 2 9 は接地に接続されるのではなく入力用信号線路 2 4 を介して入力端子 5 6 に接続されている。そして、メンブレン 2 9 の左側の上部電極 3 3 が出力用信号線路 2 5 に高周波的に接続してその出力端子 5 7 に接続するか、又は右側の上部電極 3  
15 4 が出力用信号線路 2 6 に高周波的に接続してその出力端子 5 8 に接続するかの動作が行なわれる。

出力端子 5 7 は、高周波信号を遮断する抵抗 R 1 及びインダクタンス L 1 を介して直流的に 3 V に、一方、出力端子 5 8 は、高周波信号を遮断する抵抗 R 2 及びインダクタンス L 2 を介して直流的に接地されている。容量 C 1 は、直流 3 V の端子を高周波的に接地するために用いられる。メンブレン 2 9 は、容量 C 2 によって直流的に浮いており、制御端子 5 9 に高周波信号を遮断する抵抗 R 3 及びインダクタンス L 3 を介して制御電圧が印加される。そのため、制御端子 5 9 に 5  
20 V を印加した場合、高周波的に入力端子 5 6 は出力端子 5 8 に接続され、制御端子 5 9 に 0 V を印加した場合、出力端子 5 7 に接続される。

以上の第 8 の実施形態では、適用した容量型 M E M S 素子の特徴で

あるオフ状態でのアイソレーション特性に優れることから、低損失かつオフラインへの信号の回り込みが著しく低減された1入力2出力切り替えスイッチをプッシュプル型の一個の容量型MEMS素子で実現することができる。

5 第14図は、第9の実施形態を説明するブロック図である。

本発明の容量型MEMS素子を搭載した高周波装置の例で、携帯電話等に用いられる高周波フィルタモジュールである。

第14図では、基板91に、高周波フィルタ94が配置され、これにアンテナ96、及び反対側に受信系への接続部92、及び送信系への接続部93が接続される。この場合、少なくとも高周波フィルタ94の前段、後段、もしくは前段と後段両方に、スイッチが配される。このスイッチとして、本発明の第7の実施形態で示した形態を基本としたスイッチ、もしくは第6の実施形態で示した形態を基本としたスイッチを搭載している形態が用いられる。

15 複数のフィルタ94と前記本発明の容量型MEMS素子95を搭載することにより、本発明の良好なスイッチング特性を得ることが出来る。このことを反映して、アンテナから受信される複数の周波数帯域の信号を、低損失かつ低雑音のまま所望の接続経路に切り替えて入力する、逆に、複数の周波数帯域の信号を低損失かつ低雑音のまま出力することが可能となる。更には、出力信号の入力信号側への回り込みも著しく低減できる長所がある。

前記高周波フィルタと本発明の容量型MEMS素子は、本発明の容量型MEMS素子が基板材料を選ばないこと、一般的な半導体製造技術で作製できること等から、フィルタと同じ基板材料上に作製して、  
25 他の受動素子と共にワンチップ化できる利点がある。

更には、本発明の第6の実施形態や第7の実施形態で示した等価回

路図において、制御端子から制御信号を送信する  $\text{Si-MOSFET}$  等の能動素子からなるロジック IC などとも、前記と同じ理由により同一基板上に作製してワンチップ化することが可能である。

即ち、本発明の容量型 MEMS 素子は、能動素子や他の受動素子と共に、一般的な半導体製造技術を用いて同一基板上に作製することができる。

このことから、これまで実装基板上にそれぞれを個別に素子を搭載していた時よりも、大幅に小型化された高周波装置を提供することが可能となる。

10 本発明の容量型 MEMS 素子の構造・性質からして、前記のようなスイッチとしての用途以外に、本素子を一個、または複数個を並列・直列に接続・配置することによって、SPnT スイッチや広い範囲の容量値を可変できる可変容量装置にも応用できることはいうまでもない。

15 第 15 図に本発明の MEMS 素子の製造方法の例示する。

ここでは、例として前記第 1 図に示した第 1 の実施形態である容量型 MEMS 素子の製造方法を示す。他の形態もこれに準じて製造することが出来る。

20 絶縁基板 3 上に、ホトリソグラフィ技術を用いて、信号線路 1 とアース 2 の反転パターンからなるリフトオフ用 2 層レジストパターンを形成する。この後、電子ビーム蒸着法を用いて、第 1 層に膜厚 0.05 マイクロメートルの Ti を、第 2 層に膜厚が 0.5 マイクロメートルの Au (金) を被着する。そして、周知のリフトオフ法を用いて不要な金属膜及びレジストを除去して、信号線路 1 パターンとアース 2 パター  
25 ーンを形成する (第 15 図の (a))。

続いて、膜厚が 0.2 マイクロメートルのアルミナ膜をスパッタ法に

より被着した後、周知のホトリソグラフィ技術を用いてパターン形成を行う。この後、マスクされていない領域のアルミナ膜をエッチングにより除去して、所望の領域のみに誘電体膜 5 パターンを形成する（第 15 図の（b））。

5 次に、周知のホトリソグラフィ技術を用いて、信号線路上の所望の領域のみが開口されたリフトオフ用の 2 層レジストパターンを形成する。この後、電子ビーム蒸着法を用いて第 1 層に膜厚 0.05 マイクロメートルの Ti を、第 2 層に膜厚が 0.2 マイクロメートルの Au（金）を被着する。そして、周知のリフトオフ法を用いて不要な金属膜及び  
10 レジストを除去して、所望の形状を有するフローティングメタル 6 のパターンを形成する（第 15 図の（c））。

次に、周知のホトリソグラフィ技術を用いて、絶縁基板 3 上の所望の領域のみが開口されたリフトオフ用の 2 層レジストパターンを形成する。この後、電子ビーム蒸着法を用いて高抵抗膜を被着する。そして、  
15 周知のリフトオフ法を用いて不要な金属膜及びレジストを除去して、所望の形状を有する抵抗素子 7 パターンを形成する（第 15 図の（d））。

次に、絶縁基板 3 全面にポリイミド膜を回転塗布により形成した後、周知のホトリソグラフィ技術とエッチング技術を用いて、所望の領域  
20 のみが開口されたポリイミド膜からなる犠牲層パターン 51 を形成する。ポリイミド膜の膜厚は、高温ベークによるキュア後の膜厚が 1.2 マイクロメートルとなるよう調整した（第 15 図の（e））。

次に、絶縁基板 3 上全面に、周知の電子ビーム蒸着法を用い、膜厚が 2.5 マイクロメートルの Au 膜を被着する。この後、周知のホトリ  
25 ソグラフィ技術と Ar<sup>+</sup>イオンミリング法を用いてメンブレン 8 を形成する。（第 15 図の（f））。

最後に、ケミカルドライエッチングにより犠牲層 51 を除去することによって、本発明の容量型 MEMS 素子が完成する（第 15 図の（g））。

5 尚、抵抗素子やインダクタを同一基板上に作製するのが困難な場合には、フローティングメタルから引き出し線路パターンを形成しておき、素子の実装段階で外部の抵抗素子、又は、インダクタ素子に接続しても良い。

10 前記の製造方法の例では、各種金属膜の被着に電子ビーム蒸着法を用いた例を示したが、この他スパッタ法等を用いることによって、金属膜の表面平坦性が向上し、ウエハ内の素子の偏差を小さくできる。

又、前記の例では、Au を主体とした金属膜を用いた例を示したが、この他 Al や Cu 等を用いることによって、材料コストを低減できる効果がある。

15 前記のメンブレンの加工にはイオンミリング法を用いた例について示したが、この他ケミカルドライエッチング法や、ウエットエッチング法、リフトオフ法等、使用する金属材料に最も適した加工方法を用いても良いことは言うまでもない。

20 前記の製造方法の例では、メンブレンの膜厚は 2.5 マイクロメートルであったが、前記実施形態で示しているように、膜厚はそれぞれの金属材料で湾曲が発生しない程度が好ましく、被着方法によっても最適膜厚は変わるため、特に限定されるものではない。

メンブレンには電子ビーム蒸着による厚膜の Au を用いて作製した例を示したが、この他、薄膜形成した Au 上に電解 Au メッキ等を用いて厚膜の Au を形成しても良い。

25 ホトレジスト等によるパターンニングによって、所望の領域のみにメッキを施す電解 Au メッキ法を用いた方が、材料コストを低減できる。



前記 A u を用いたメンブレンを作製する上で、前記製造方法では直接 A u のみを被着形成した例を示したが、隣接層との接着層としてチタンの他、クロム、モリブデン等を数 nm ～数十 nm 程度設けることにより、密着性を高めることができる。

5 前記本発明の主要な構成要素であるフローティングメタルのパターニングには多層レジスト技術によるパターニングとリフトオフ法を用いて形成した例について示したが、この他 A l 等の他の方法を用いる場合には、ケミカルドライエッチングやウエットエッチング法などを用いても良いことは言うまでもない。

10 誘電体膜にはスパッタ法によるアルミナ膜を用いた例を示したが、被着方法についてはこの他 C V D 法等、通常の半導体製造工程で一般的に用いられる他の手法を用いても良い。

誘電体膜材料に関しては、アルミナ膜のほか酸化ケイ素膜、窒化ケイ素膜、酸化タンタル等の、少なくとも絶縁性に優れ誘電率を有する  
15 固体材料ならば、如何なる材料でも適用できる。又、単膜ではなくこれら誘電体材料の積層膜を用いても良い。誘電率が大きければ大きいほど、素子の小型化も容易になり、メンブレンが下がった状態の電気特性を良くすることができる。

前記犠牲層 5 1 には標準的なポリイミド膜を用いた例を示したが、  
20 感光性を有するポリイミド膜を用いると、ホトレジストを塗布する手間が省けるので、プロセスの簡略化に繋がる利点がある。また、耐熱性等の問題が生じなければ通常のホトレジストのみを犠牲層に用いても良い。

以上の製造方法により作製した本発明の容量型 M E M S 素子は、構造上の従来の素子との違いは、対向領域におけるフローティングメタルの面積比率を限定することと、フローティングメタルから高周波信  
25

号に対して抵抗となる物質を介して、所望の電位を有する物質に直流的に接続させることである。前記作製プロセスで見ると、本発明は、少ないプロセス増加で、素子特性に多大な効果を与えることは明らかである。即ち、前記本発明の容量型MEMS素子を前記製造方法に則

5 って作製すれば、高周波信号に対して極めて良好なスイッチング特性を有する容量型MEMS素子を低価格で提供することができる。

以下に、本願発明の主な実施の形態を列挙する。

(1) 少なくとも

基板と、

10 前記基板上に形成されたアンカと、

前記アンカに接続したバネと、

前記バネに接続し、前記バネに弾性変形を与えて前記基板の上方で運動をする上部電極と、

前記上部電極の下方に位置し、少なくとも該上部電極の一部と対向

15 する領域を有し、前記基板上に形成された下部電極と、

前記下部電極が形成された前記基板上で、基板の垂直方向から見て少なくとも前記上部電極より広い領域を覆うように、前記下部電極上の一部及び前記基板上の一部に形成された誘電体膜と、

前記下部電極上に位置する前記誘電体膜の一部に接して、少なくとも

20 も前記上部電極の一部と対向する形で形成された低抵抗金属膜とを具備し、

前記上部電極と前記下部電極との間に直流電圧が印加された時、対向する前記上部電極と前記下部電極との間で生じる静電気力によって、前記上部電極が下方に引き付けられ、前記上部電極の一部が前記低抵抗金属膜の一部と接触して、前記上部電極と前記低抵抗金属膜とが電

25 氣的に接続することにより、前記低抵抗金属膜を介して接続された前

記上部電極と、前記誘電体膜と、前記下部電極とからなるキャパシタ構造が形成されてなる容量型MEMS素子において、

前記基板の垂直方向から見て、前記上部電極と前記下部電極とが対向する領域内の前記下部電極上には、前記誘電体膜と前記低抵抗金属膜とが積層された領域と、前記誘電体膜のみが形成された領域とが混在し、前記上部電極と前記下部電極とが対向する領域内の前記誘電体膜と前記低抵抗金属膜とが積層された領域の面積は、前記領域内において誘電体膜が露出した領域の面積と比較して、等しいか、小さいことを特徴とする容量型MEMS素子。

10 (2) 少なくとも

基板と、

前記基板上に形成されたアンカと、

前記アンカに接続したバネと、

前記バネに接続し、前記バネに弾性変形を与えて前記基板の上方で運動をする上部電極と、

前記上部電極の下方に位置し、少なくとも該上部電極の一部と対向する領域を有し、前記基板上に形成された下部電極と、

前記下部電極が形成された前記基板上で、基板の垂直方向から見て少なくとも前記上部電極より広い領域を覆うように、前記下部電極上の一部及び前記基板上の一部に形成された誘電体膜と、

前記下部電極上に位置する前記誘電体膜の一部に接して、少なくとも前記上部電極の一部と対向する形で形成された低抵抗金属膜とを具備し、

前記上部電極と前記下部電極との間に直流電圧が印加された時、対向する前記上部電極と前記下部電極との間で生じる静電気力によって、前記上部電極が下方に引き付けられ、前記上部電極の一部が前記低抵

抗金属膜の一部と接触して、前記上部電極と前記低抵抗金属膜とが電氣的に接続することにより、前記低抵抗金属膜を介して接続された前記上部電極と、前記誘電体膜と、前記下部電極とからなるキャパシタ構造が形成されてなる容量型MEMS素子において、

- 5 前記低抵抗金属膜は、高周波信号に対して抵抗となる物質を介して、所望の電位を有する物質と直流的に接続されていることを特徴とする容量型MEMS素子。

10 (3) 前記高周波信号に対して抵抗となる物質は、少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満の電気抵抗値を示す物質であることを特徴とする前記項目(2)に記載の容量型MEMS素子。

(4) 前記高周波信号に対して抵抗となる物質は、高周波信号に対して少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満のインピーダンスを示すインダクタであることを特徴とする前記項目(2)に記載の容量型MEMS素子。

- 15 (5) 前記所望の電位を有する物質は、前記上部電極であることを特徴とする前記項目(2)に記載の容量型MEMS素子。

(6) 前記所望の電位を有する物質は、前記下部電極であることを特徴とする前記項目(2)に記載の容量型MEMS素子。

- 20 (7) 前記所望の電位を有する物質は、接地領域(アース)であることを特徴とする前記項目(2)に記載の容量型MEMS素子。

(8) 前記所望の電位を有する物質は、直流電圧を印加して前記上部電極の上下動を制御する制御電極であることを特徴とする前記項目(2)に記載の容量型MEMS素子。

- 25 (9) 請求項1記載の前記誘電体膜のみが形成された領域は、前記低抵抗金属膜中において所定の形状を有する開口部によって設けられていることを特徴とする前記項目(1)に記載の容量型MEMS素子。

(10) 前記バネと前記アンカと前記上部電極とが一体構造を成し、且つ連続した金属体によって形成されていることを特徴とする前記項目(1)、(2)に記載の容量型MEMS素子。

5 (11) 前記金属体は少なくともアルミニウムを含む単層膜、もしくはアルミニウム含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(8)に記載の容量型MEMS素子。

(12) 前記金属体は少なくとも金を含む単層膜、もしくは金含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(8)に記載の容量型MEMS素子。

10 (13) 前記金属体は少なくとも銅を含む単層膜、もしくは銅含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(8)に記載の容量型MEMS素子。

15 (14) 前記低抵抗金属膜は、少なくともアルミニウムを含む単層膜、もしくはアルミニウム含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(1)、(2)に記載の容量型MEMS素子。

(15) 前記低抵抗金属膜は少なくとも金を含む単層膜、もしくは金含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(1)、(2)に記載の容量型MEMS素子。

20 (16) 前記低抵抗金属膜は少なくとも銅を含む単層膜、もしくは銅含有膜と他の金属膜との積層膜からなることを特徴とする前記項目(1)、(2)に記載の容量型MEMS素子。

25 (17) 前記低抵抗金属膜は、上部電極と下部電極との間に電圧印加をしないとき、高周波信号に対して接続されないフローティングメタルであることを特徴とする前記項目(1)から(14)に記載の容量型MEMS素子。

(18) 前記項目(1)から(15)に記載の容量型MEMS素子が、



高周波信号のオン／オフスイッチに搭載されていることを特徴とする高周波装置。

(19) 前記項目(1)から(15)に記載の容量型MEMS素子が、高周波信号の出力切り替えスイッチに搭載されていることを特徴とする高周波装置。

(20) 前記項目(1)から(15)に記載の容量型MEMS素子が、携帯電話用の高周波フィルタモジュールに搭載されていることを特徴とする高周波装置。

(22) 前記項目(1)から(15)に記載の容量型MEMS素子が、同一基板上において能動素子と共に搭載されていることを特徴とする高周波装置。

(23) 前記項目(1)から(15)に記載の容量型MEMS素子が、同一基板上において他の受動素子と共に搭載されていることを特徴とする高周波装置。

(24) 少なくとも

基板と、

前記基板上に形成されたアンカと、

前記アンカに接続したバネと、

前記バネに接続し、前記バネに弾性変形を与えて前記基板の上方で

運動をする上部電極と、

前記上部電極の下方に位置し、少なくとも該上部電極の一部と対向する領域を有し、前記基板上に形成された下部電極と、

前記下部電極が形成された前記基板上で、基板の垂直方向から見て少なくとも前記上部電極より広い領域を覆うように、前記下部電極上

の一部及び前記基板上の一部に形成された誘電体膜と、

前記下部電極上に位置する前記誘電体膜の一部に接して、少なくとも

も前記上部電極の一部と対向する形で形成された低抵抗金属膜とを具備し、

前記基板の垂直方向から見て、前記上部電極と前記下部電極とが対向する領域内の前記下部電極上には、前記誘電体膜と前記低抵抗金属膜とが積層された領域と、前記誘電体膜のみが形成された領域とが混在し、前記上部電極と前記下部電極とが対向する領域内の前記誘電体膜と前記低抵抗金属膜とが積層された領域の面積は、前記領域内の誘電体膜のみが形成された領域の面積と比較して、等しいか、小さいことを特徴とする容量型MEMS素子の製造方法であって、

10 前記基板上に金属膜からなる前記下部電極パターンを形成する工程と、

前記下部電極を形成した前記基板上に、前記下部電極上面を含む前記基板上の所望の位置に誘電体膜からなるパターンを形成する工程と、

15 前記基板上の前記下部電極と前記誘電体膜とが積層された領域の所望の位置に、所望の形状を有する前記低抵抗金属膜からなるパターンを形成する工程と、

前記下部電極と前記誘電体膜と前記低抵抗金属膜を形成した前記基板上に、所望の形状を有する犠牲膜からなるパターンを形成する工程と、

20 前記犠牲膜パターン上を含む前記基板上の所望の位置に、金属膜を被着・加工することによって、前記アンカと前記バネと前記上部電極とを一体構造で形成する工程と、

前記犠牲膜を除去する工程を具備することを特徴とする容量型MEMS素子の製造方法。

25 (25) 前記基板上の所望の位置に、所望の電気抵抗値を示す物質からなるパターンを形成する工程を具備することを特徴とする前記項目

(20) に記載の容量型MEMS素子の製造方法。

(26) 前記基板上の所望の位置に、所望のインピーダンスを有するインダクタを形成する工程を具備することを特徴とする前記項目(20) に記載の容量型MEMS素子の製造方法。

5 図面に係わる主な諸符号は次の通りである。

1…信号線路、2…アース、3…絶縁基板、5…誘電体膜、6…フローティングメタル、7…抵抗素子、8…メンブレン、10…アンカ、  
11…バネ、12…上部電極、13…信号線路、14…アース、15…Si基板、16…片持ち梁、17…アンカ、18…バネ、19…上部電極、  
10 20…誘電体膜、21…フローティングメタル、22…抵抗素子、24…入力信号線路、25…左側の出力信号線路、26…右側の出力信号線路、27…アース、28…ガラス基板、29…メンブレン、30…アンカ、31…第一のバネ、32…第二のバネ、33…左側の上部電極、34…右側の上部電極、35…誘電体膜、36…左側のフローティングメタル、37…左側のフローティングメタル、38…左側のインダクタ素子、39…右側のインダクタ素子、40…入力信号線路、41…出力信号線路、42…アース、43…Si基板、44…メンブレン、45…アンカ、46…バネ、47…上部電極、48…誘電体膜、49…フローティングメタル、50…突起、51…犠牲層、52…高周波スイッチ、53…入力端子、54…出力端子、55…制御端子、56…入力端子、57…左側の出力端子、58…右側の出力端子、59…制御端子、60…ガラス基板、61…信号線路、62…アース、63…制御端子、64…メンブレン、65…アンカ、66…バネ、67-1…アース62との間で静電気力を発生させるための領域、67-2…フローティングメタルと接触する領域、67…上部電極、69…誘電体膜、70…フローティングメタル、71…イン

15  
20  
25

ダクタ素子、 7 2 … 高周波スイッチ、 7 3 … 入力端子、 7 4 … 出力端子、 7 5 … 制御端子、 9 1 … 基板、 9 2 … 受信系、 9 3 … 送信系、 9 4 … 高周波フィルタ、 9 5 … 本発明の容量型 M E M S 素子、 9 6 … アンテナ

5

#### 産業上の利用可能性

本発明の素子は、電気信号のスイッチ素子として用いることが出来る。特に、高周波信号に有用であり、同素子を用いた高周波装置を提供することが出来る。又、こうした素子を製造する方法を供することが出

10 来る。

## 請 求 の 範 囲

## 1. 絶縁性基板と、

前記絶縁性基板上に形成された下部電極と、

5 前記下部電極上に形成された誘電体層と、

前記誘電体層上に形成された導体層と、

前記下部電極に対向し且つ少なくとも前記誘電体層上の導体層と間隙を有して配置され、且つ前記誘電体層上の導体層への接触・非接触の制御がなされる上部電極と、を有し、

10 前記誘電体層上の導体層は、前記絶縁性基板の垂直方向から見て、前記上部電極と前記下部電極とが対向する領域において、その対向面積の一部に当該誘電体層上の導体層が存在するように形成され、且つ

前記上部電極と前記下部電極とが対向する領域における前記誘電体層上の導体層が存在する領域の面積が、当該対向領域における前記誘電体層上の導体層が存在せざる領域の面積と等しいか小さいことを特徴とする容量型MEMS素子。

## 2. 絶縁性基板と、

前記絶縁性基板上に形成された下部電極と、

前記下部電極上に形成された誘電体層と、

20 前記誘電体層上に形成された導体層と、

前記下部電極に対向し且つ少なくとも前記誘電体層上の導体層と間隙を有して配置され、且つ前記誘電体層上の導体層への接触・非接触の制御がなされる上部電極と、を有し、

前記誘電体層上の導体層は、高周波信号に対する抵抗体を介して所望電位に直流的に接続されていることを特徴とする容量型MEMS素子。



3. 前記高周波信号に対する抵抗体は、少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満の電気抵抗値を示す物質であることを特徴とする請求項2に記載の容量型MEMS素子。

5 4. 前記高周波信号に対する抵抗体は、高周波信号に対して少なくとも $1\text{ k}\Omega$ 以上で $1\text{ M}\Omega$ 未満のインピーダンスを示すインダクタであることを特徴とする請求項2に記載の容量型MEMS素子。

10 5. 前記所望電位は、前記誘電体層上の導体層の、前記上部電極、前記下部電極、制御電極及び接地領域のいずれかへの直流的接続によることを特徴とする請求項2に記載の容量型MEMS素子。

6. 前記誘電体層上の導体層が開口を有することを特徴とする請求項1に記載の容量型MEMS素子。

15 7. 前記誘電体層上の導体層は、少なくともアルミニウムを含む単層膜、もしくはアルミニウム含有膜を含む複数層金属積層膜であることを特徴とする請求項1に記載の容量型MEMS素子。

8. 前記誘電体層上の導体層は、少なくともアルミニウムを含む単層膜、もしくはアルミニウム含有膜を含む複数層金属積層膜であることを特徴とする請求項2に記載の容量型MEMS素子。

20 9. 前記誘電体層上の導体層は、少なくとも金を含む単層膜、もしくは金含有膜を含む複数層金属積層膜であることを特徴とする請求項1に記載の容量型MEMS素子。

10. 前記誘電体層上の導体層は、少なくとも金を含む単層膜、もしくは金含有膜を含む複数層金属積層膜であることを特徴とする請求項2に記載の容量型MEMS素子。

25 11. 前記誘電体層上の導体層は少なくとも銅を含む単層膜、もしくは銅含有膜を含む複数層金属積層膜であることを特徴とする請求項1

に記載の容量型MEMS素子。

12. 前記誘電体層上の導体層は少なくとも銅を含む単層膜、もしくは銅含有膜を含む複数層金属積層膜であることを特徴とする請求項2に記載の容量型MEMS素子。

5 13. 請求項1から請求項12のいずれかに記載の容量型MEMS素子が、高周波信号のオン/オフスイッチとして有することを特徴とする高周波装置。

10 14. 請求項1から請求項12のいずれかに記載の容量型MEMS素子が、高周波信号の出力切り替えスイッチとして有することを特徴とする高周波装置。

15 15. 請求項1から請求項12記載のいずれかに記載の容量型MEMS素子が、携帯電話用の高周波フィルタモジュールに有することを特徴とする高周波装置。

16. 請求項1から12記載のいずれかに記載の容量型MEMS素子と、能動素子、受動素子或いはその両者とが同一基板に搭載されていることを特徴とする高周波装置。

17. 絶縁性基板上に下部電極を形成する工程と、

前記下部電極上面を含む前記絶縁性基板上の所望の位置に誘電体膜を形成する工程と、

20 前記絶縁性基板上の前記下部電極と前記誘電体膜とが積層された領域の所望の位置に、導体層パターンを形成する工程と、

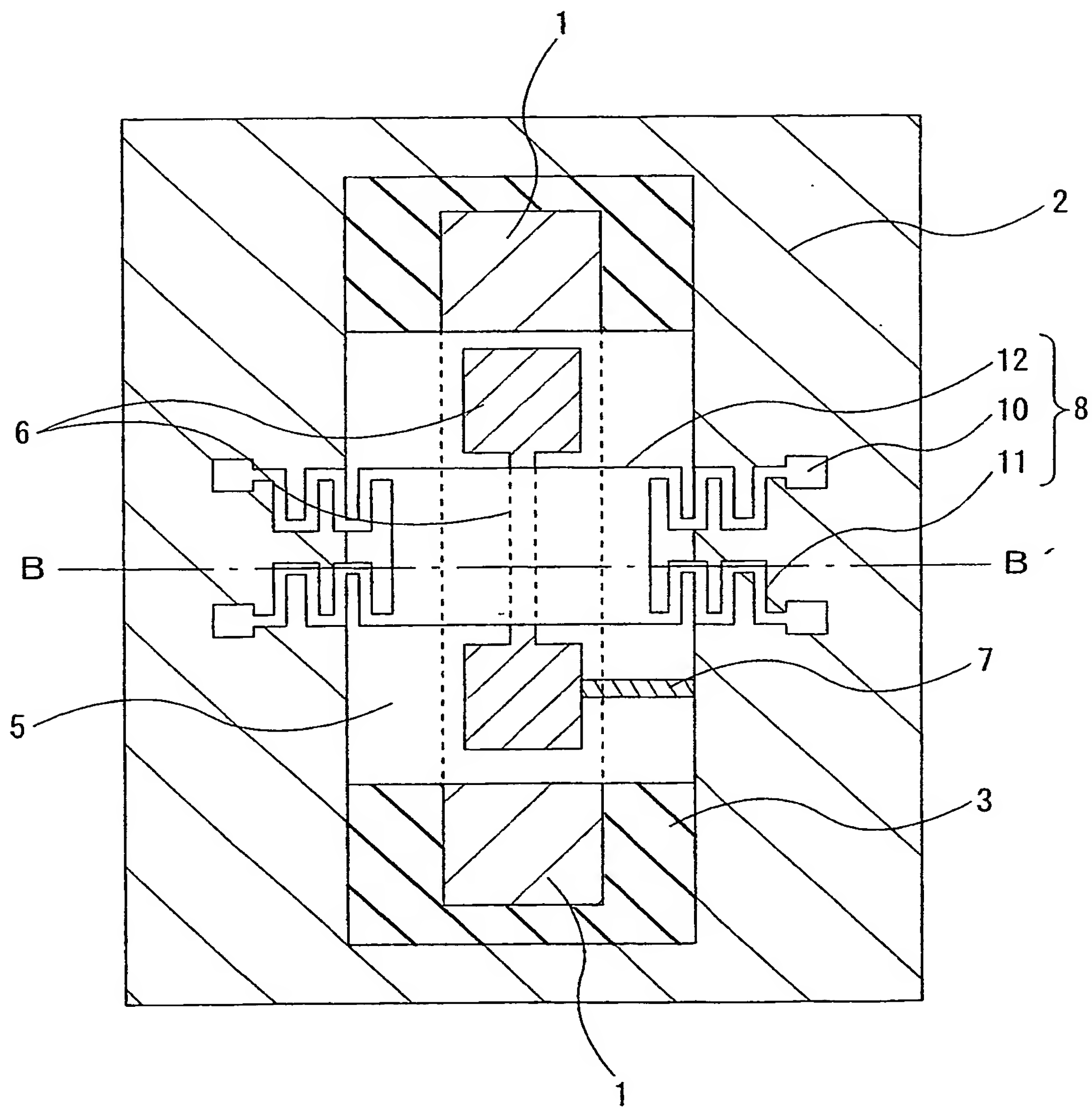
前記下部電極と前記誘電体膜と前記低抵抗金属膜を形成した前記絶縁性基板上に、犠牲膜を形成する工程と、

25 前記犠牲膜上を含む前記絶縁性基板上に、前記下部電極に対向する位置に上部電極を形成する工程と、

前記犠牲膜を除去する工程とを、有することを特徴とする容量型ME

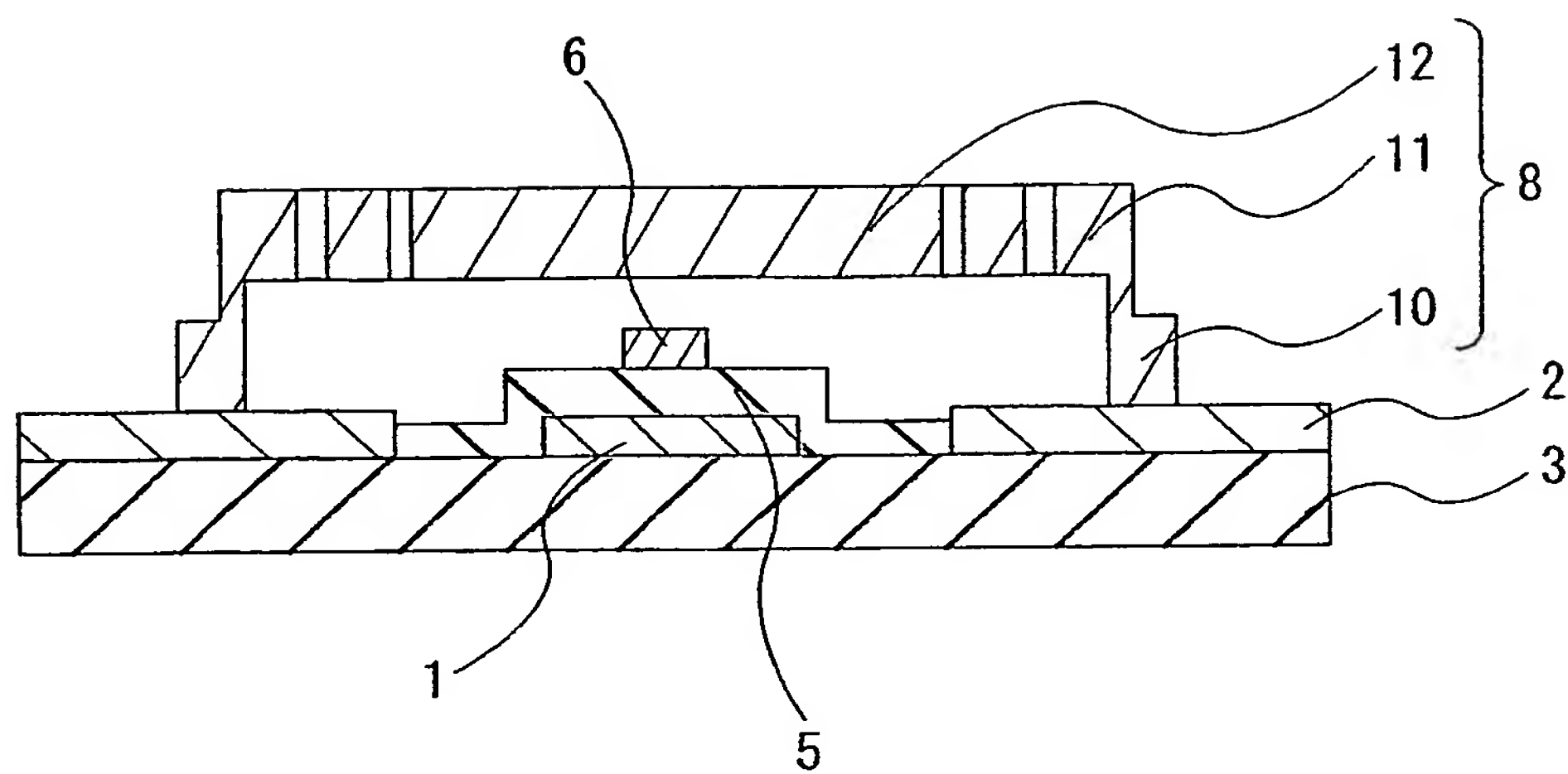
M S 素子の製造方法。

第 1 A 図



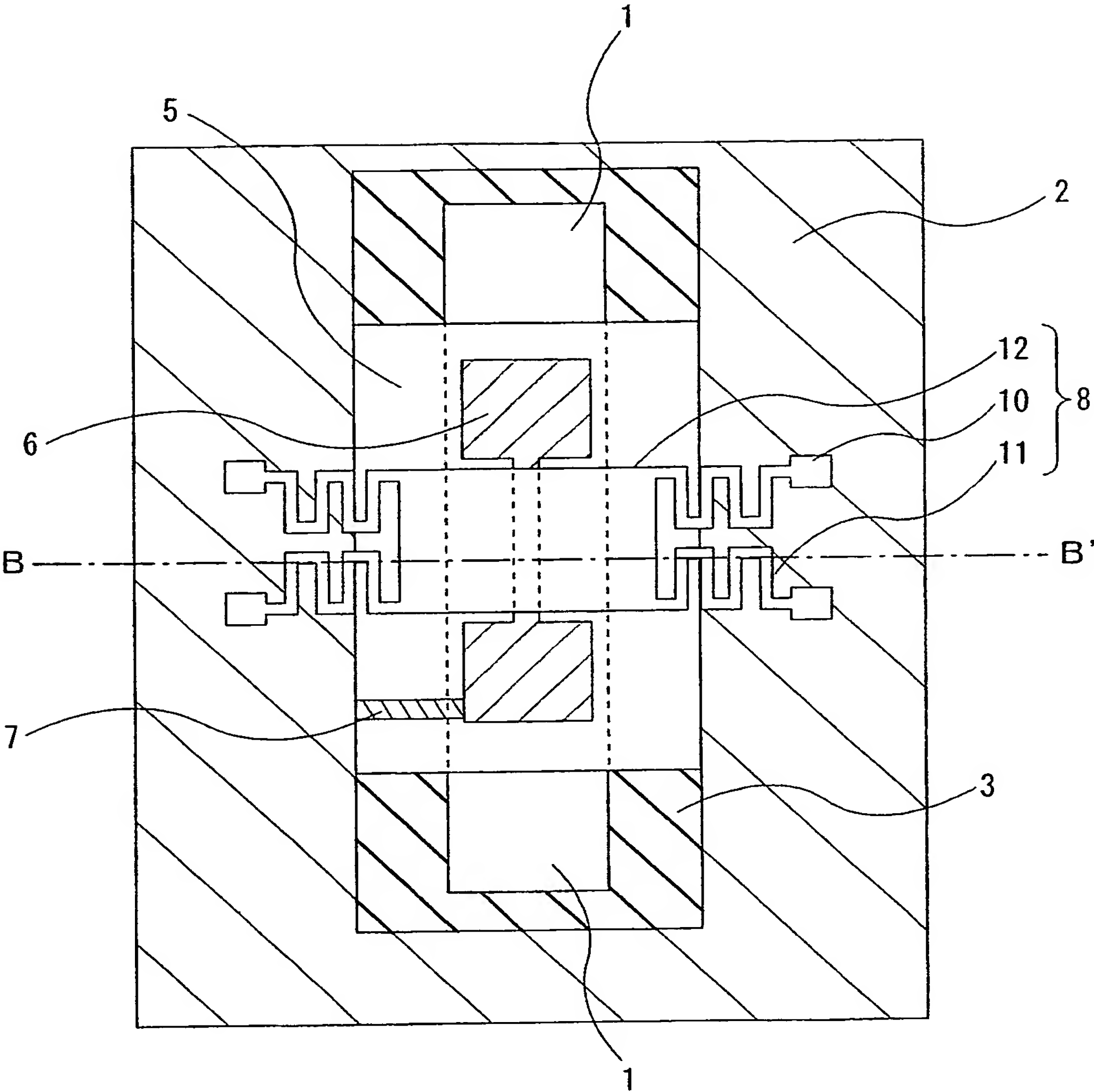
2 / 2 4

第1B図



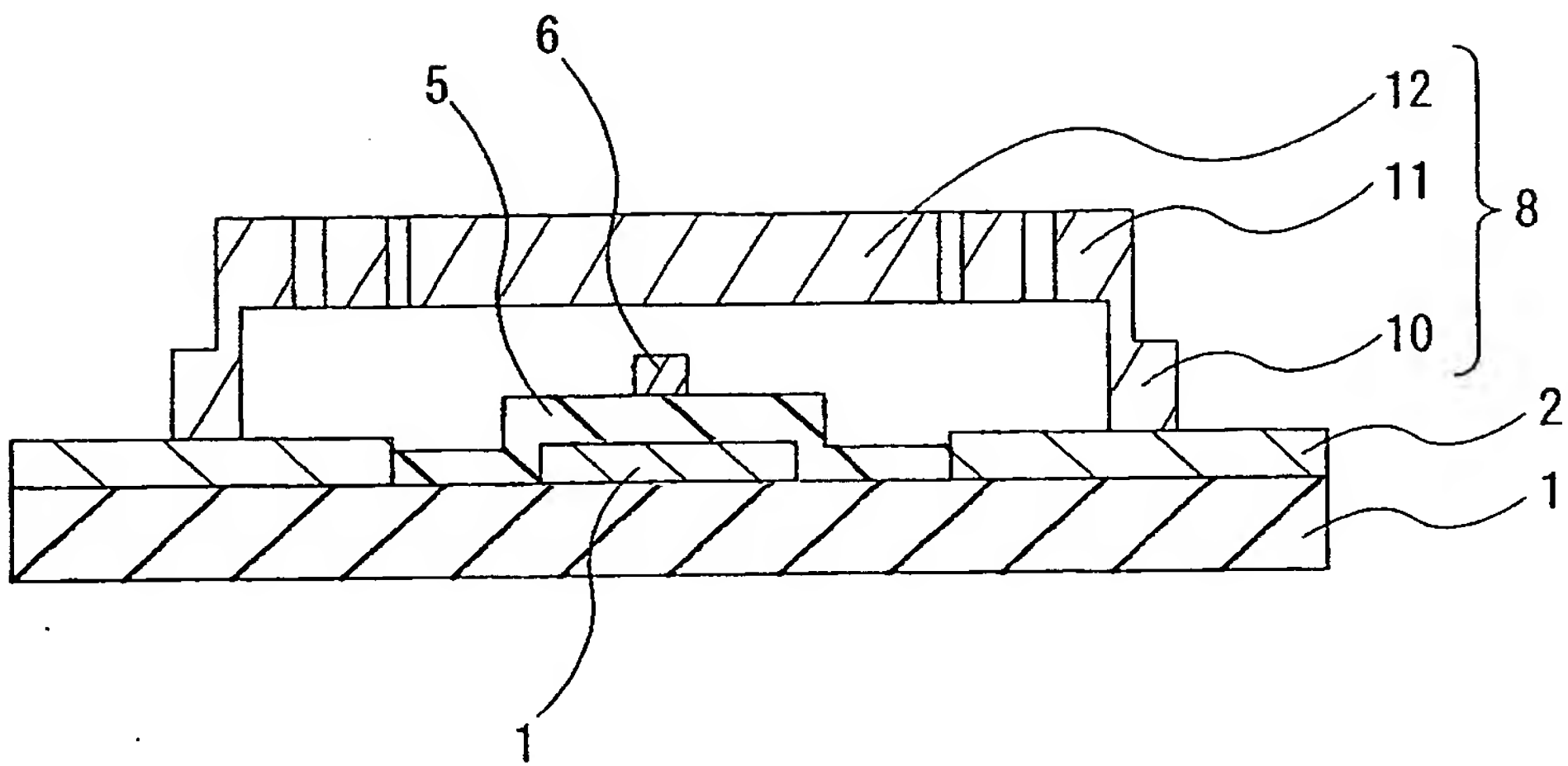


第 2 A 図

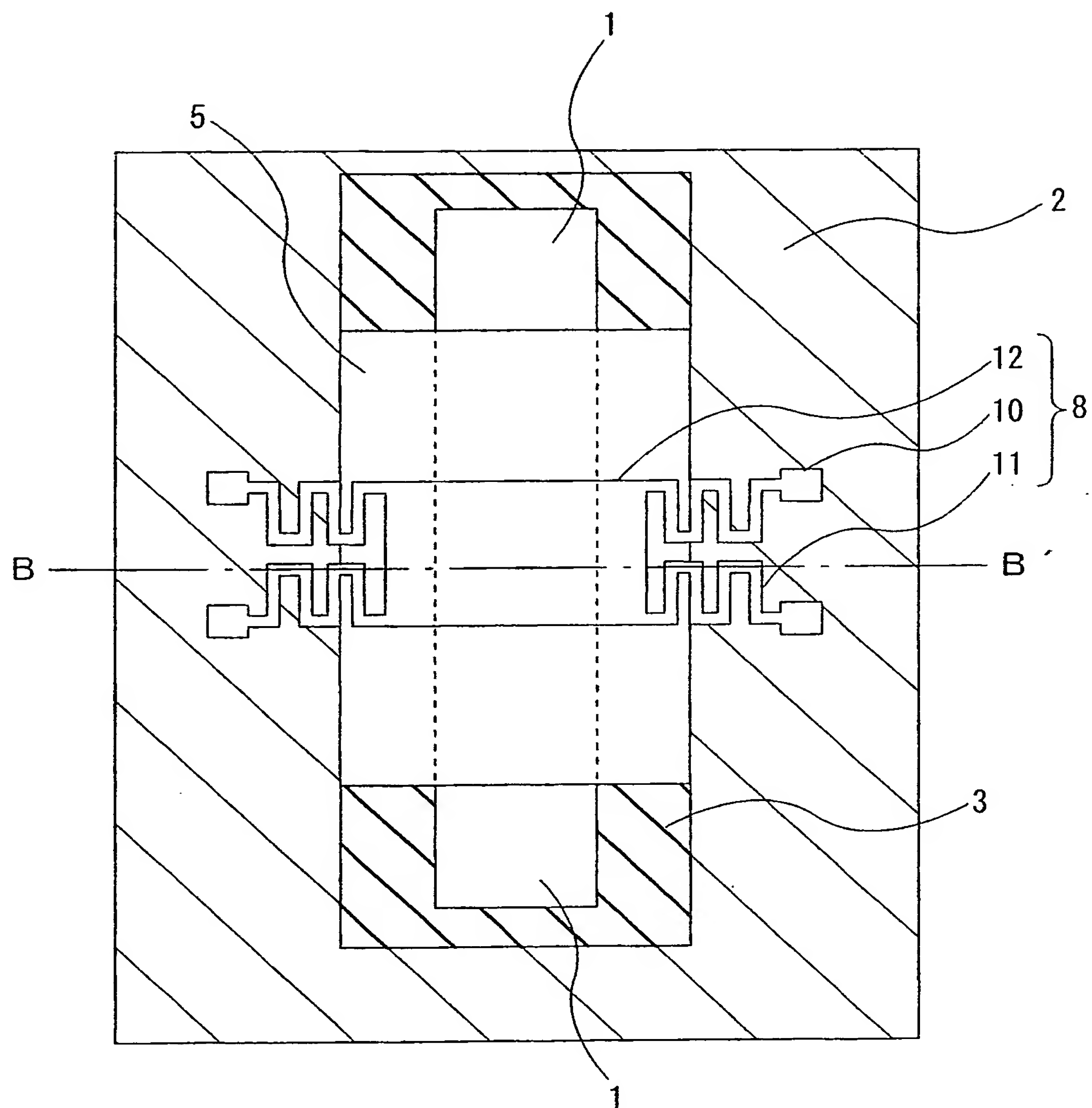


4 / 2 4

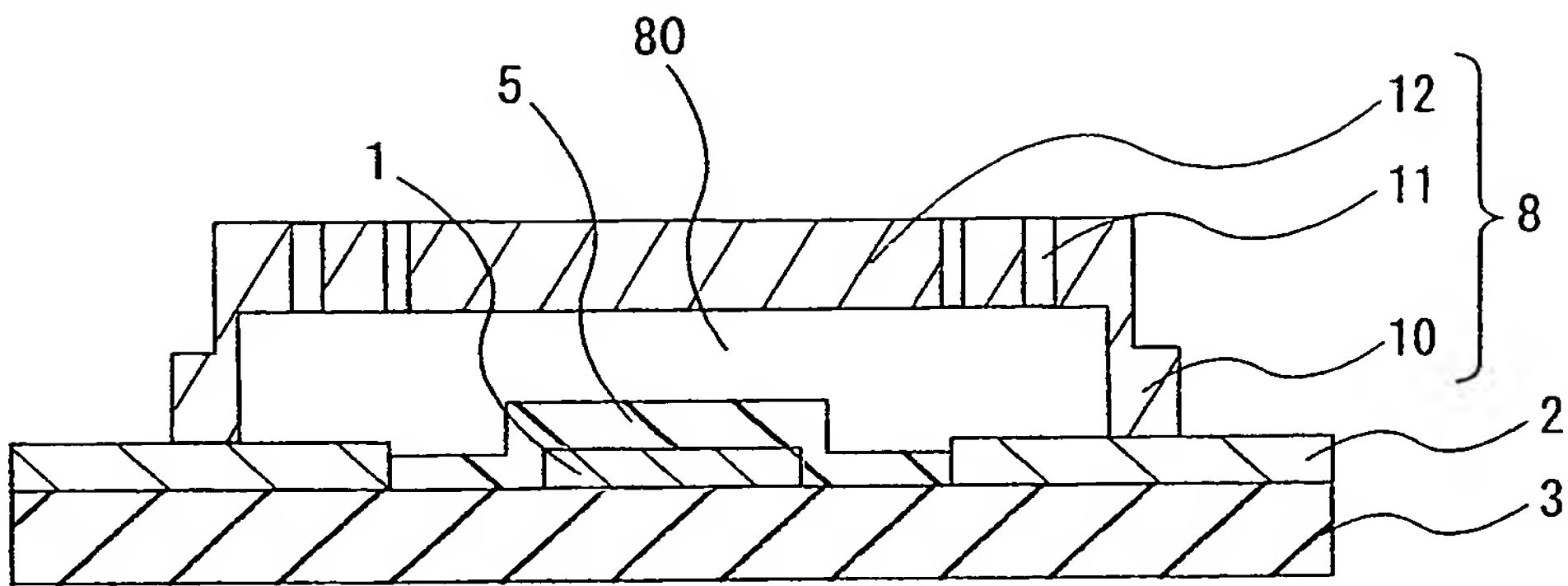
第 2 B 図



第3A図

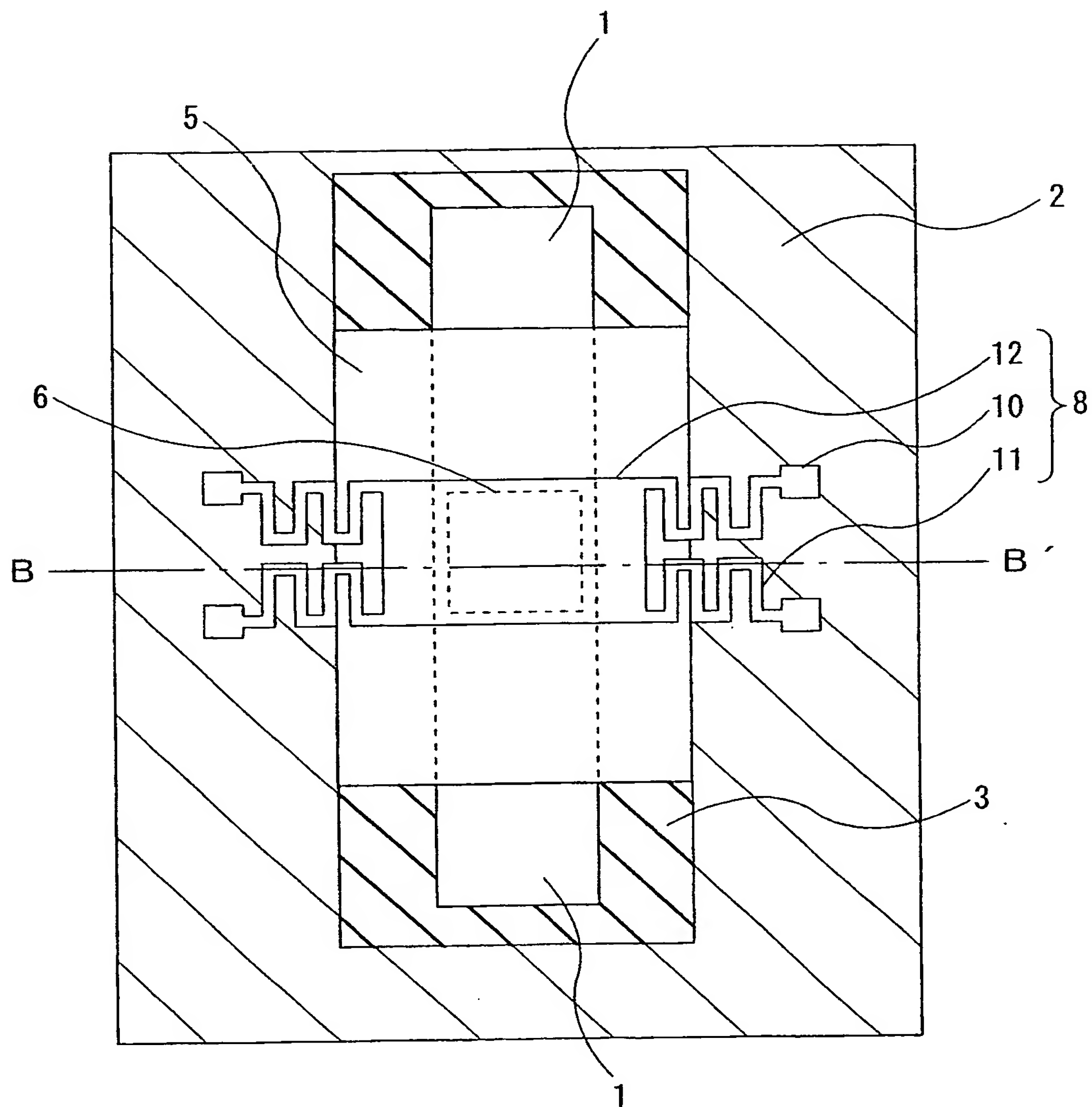


第 3 B 図



7 / 2 4

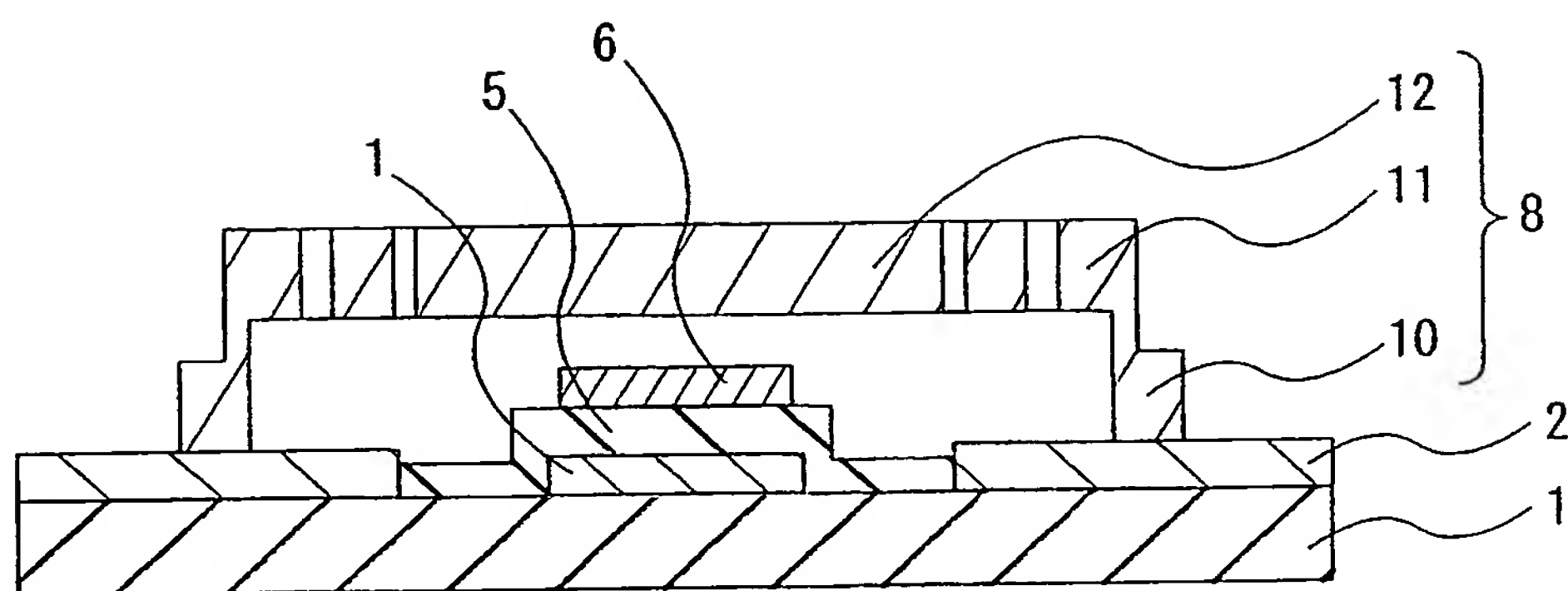
第 4 A 図



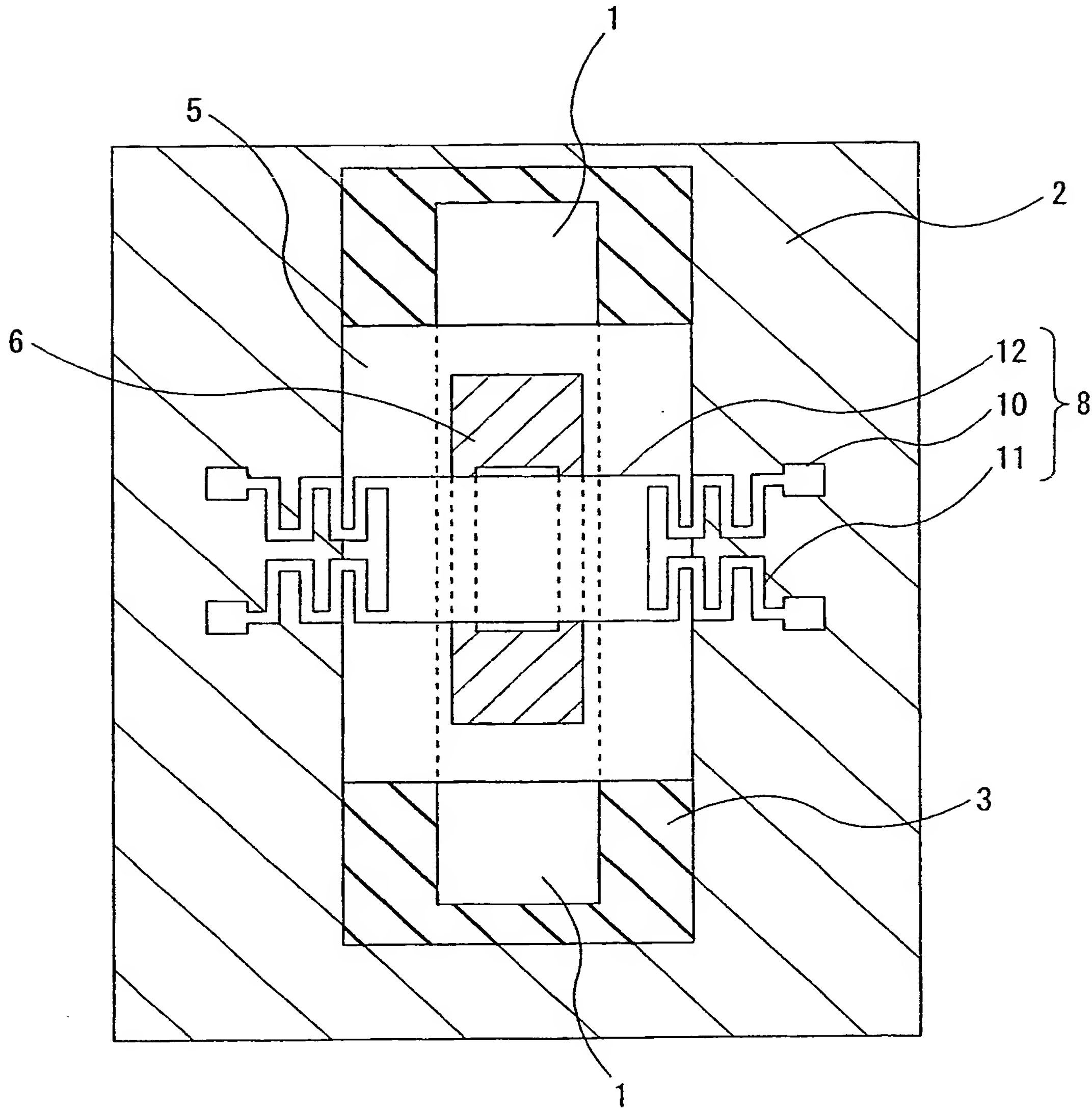


8 / 24

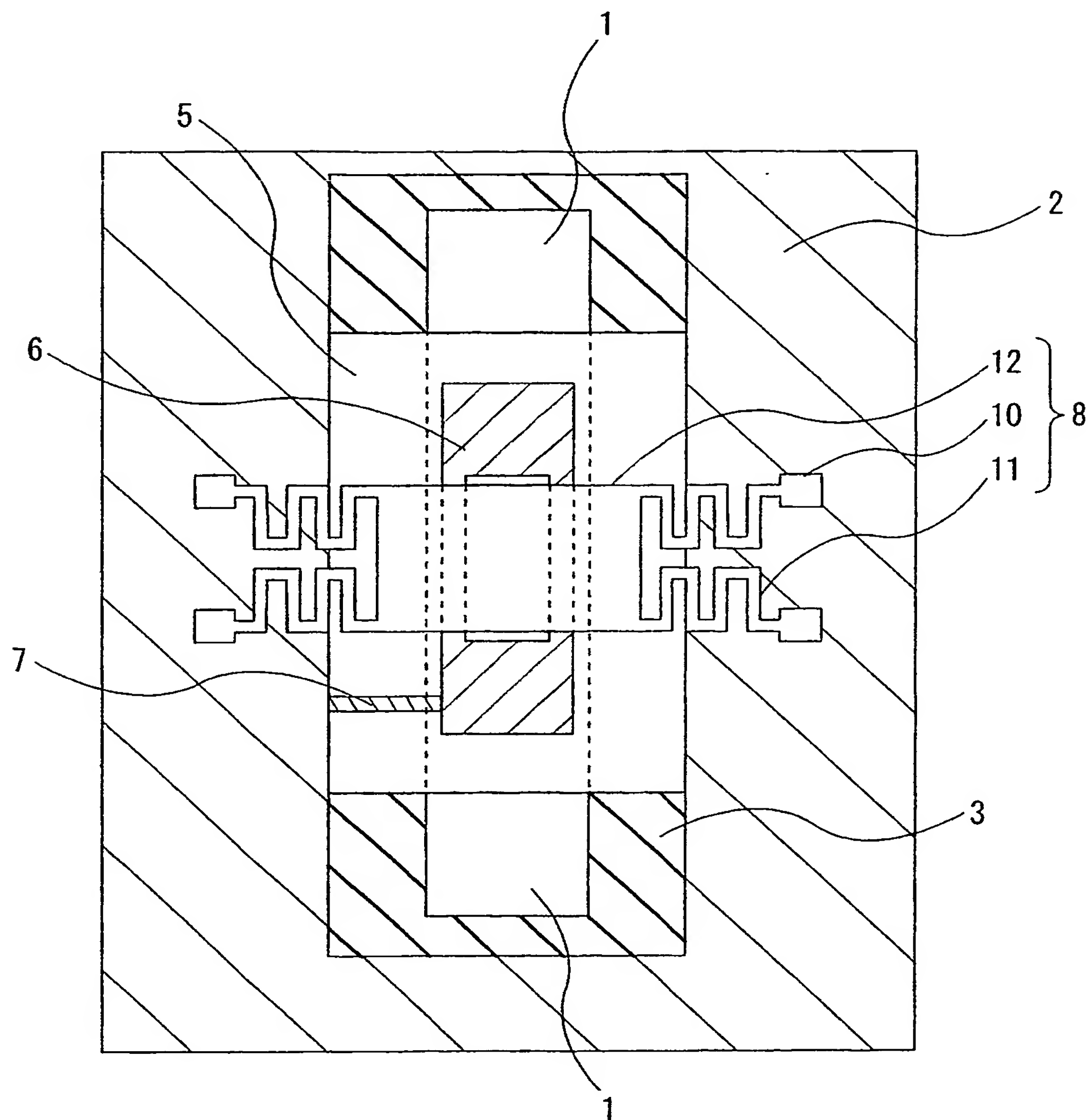
第4B図



第 5 図

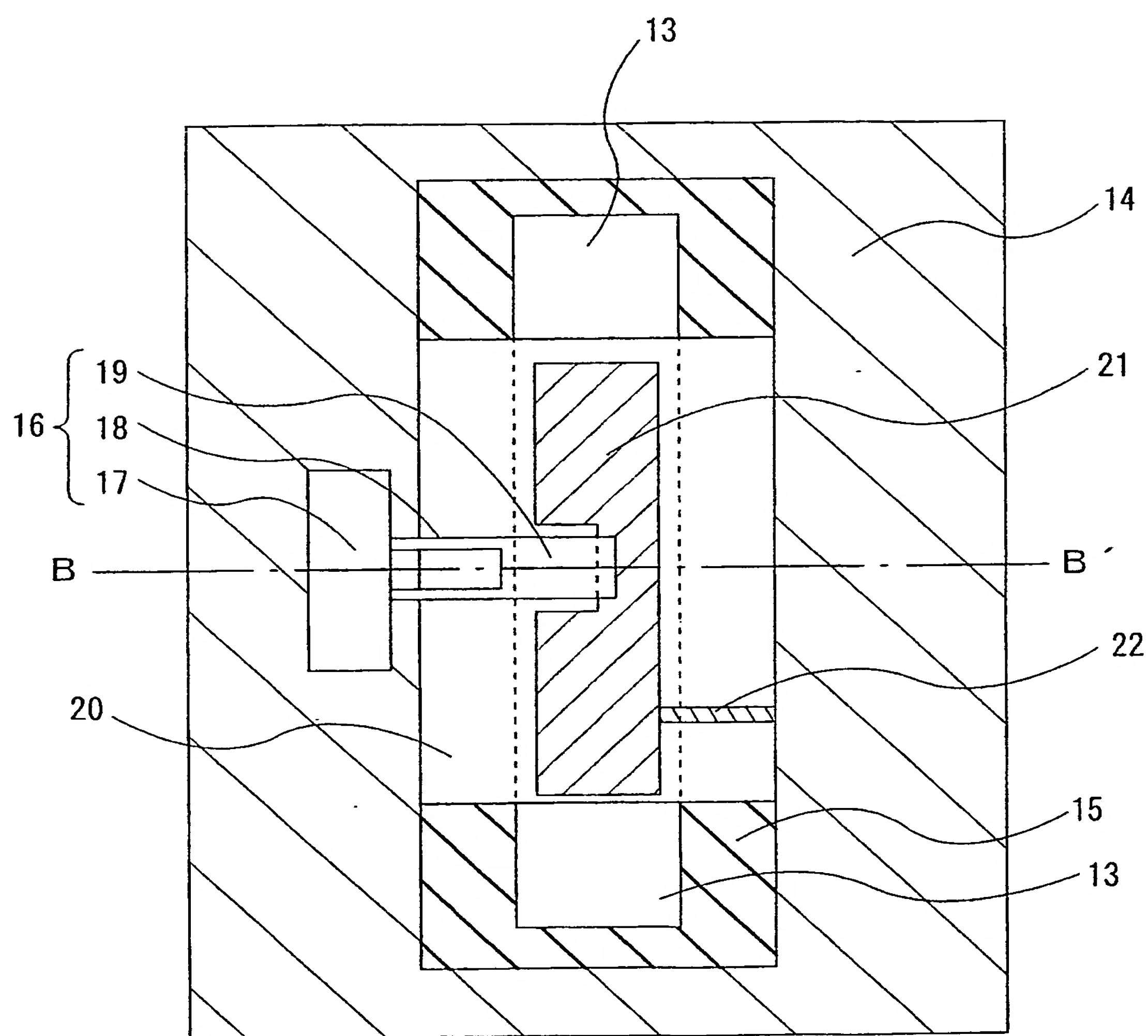


第6図



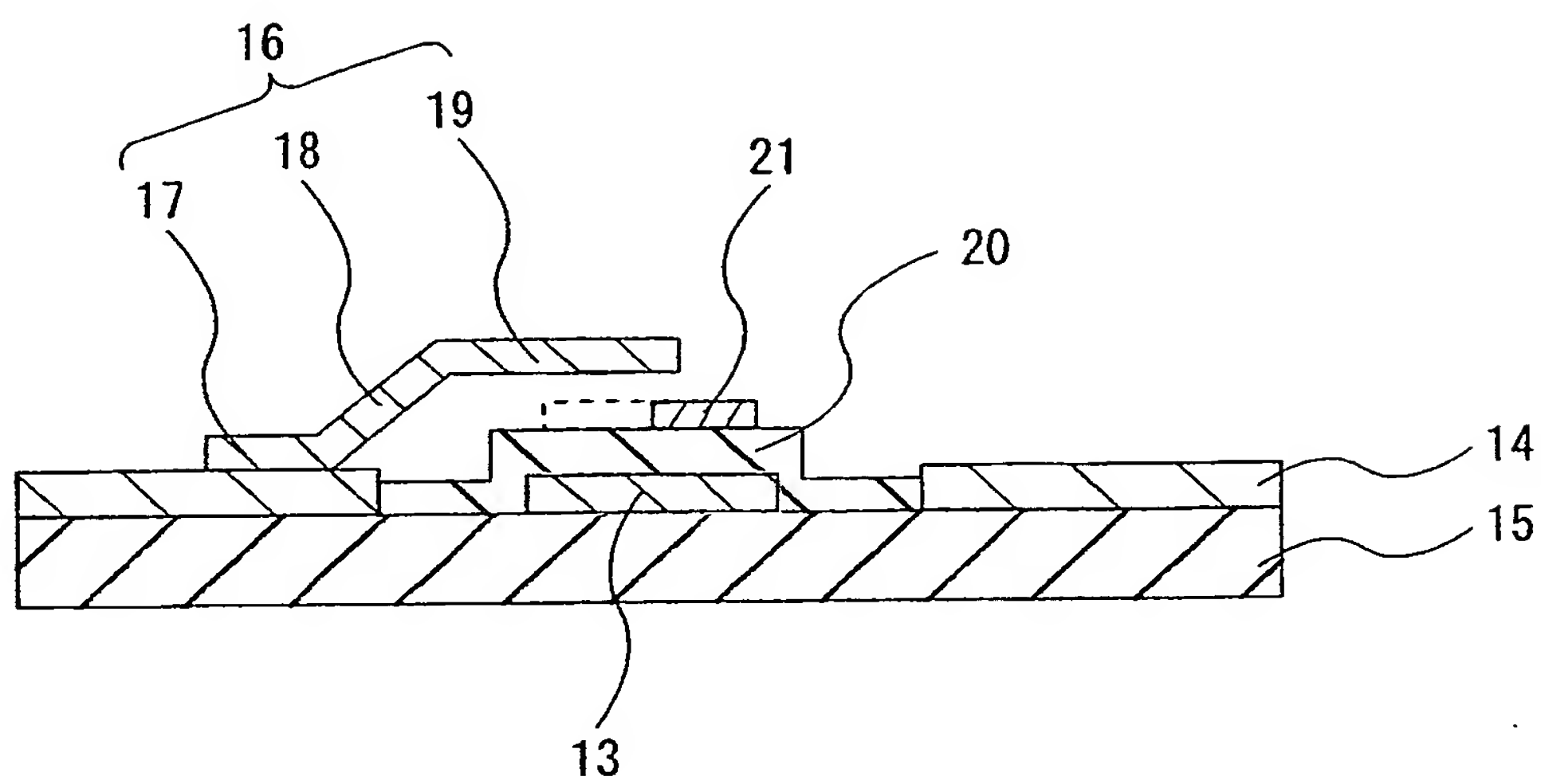
11/24

第7A図



12 / 24

第7B図

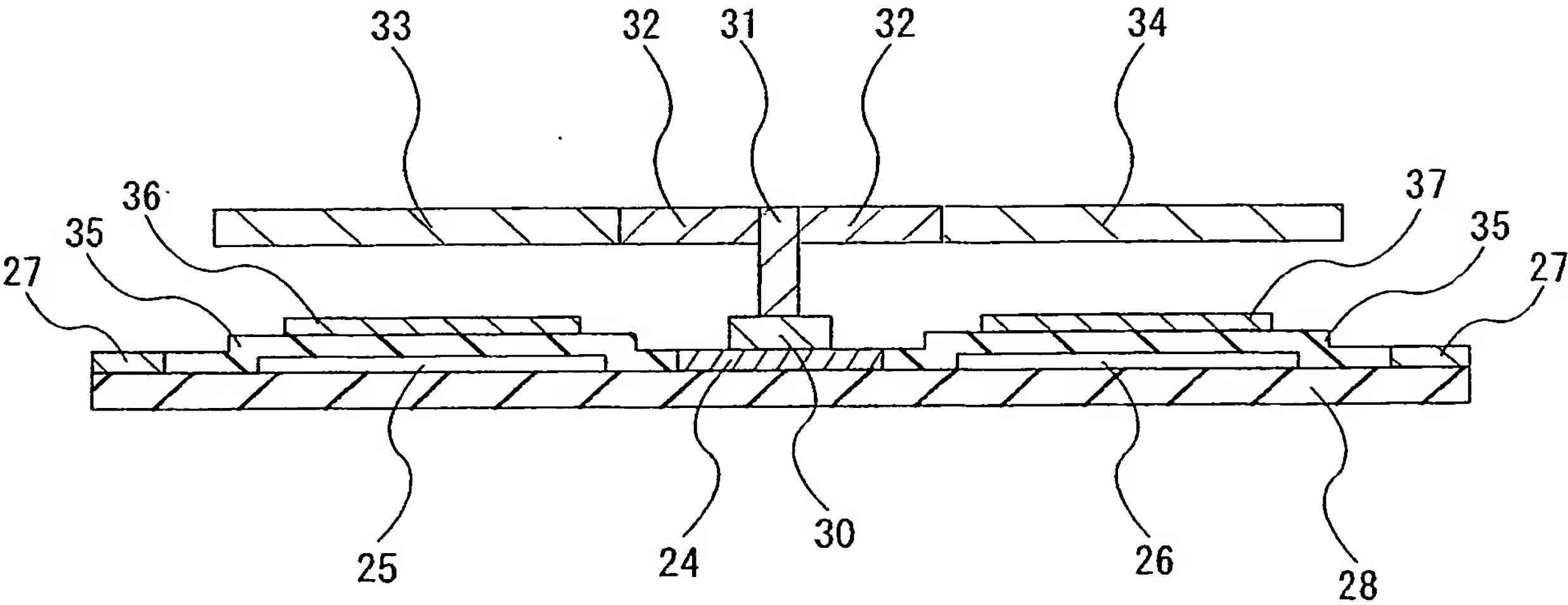






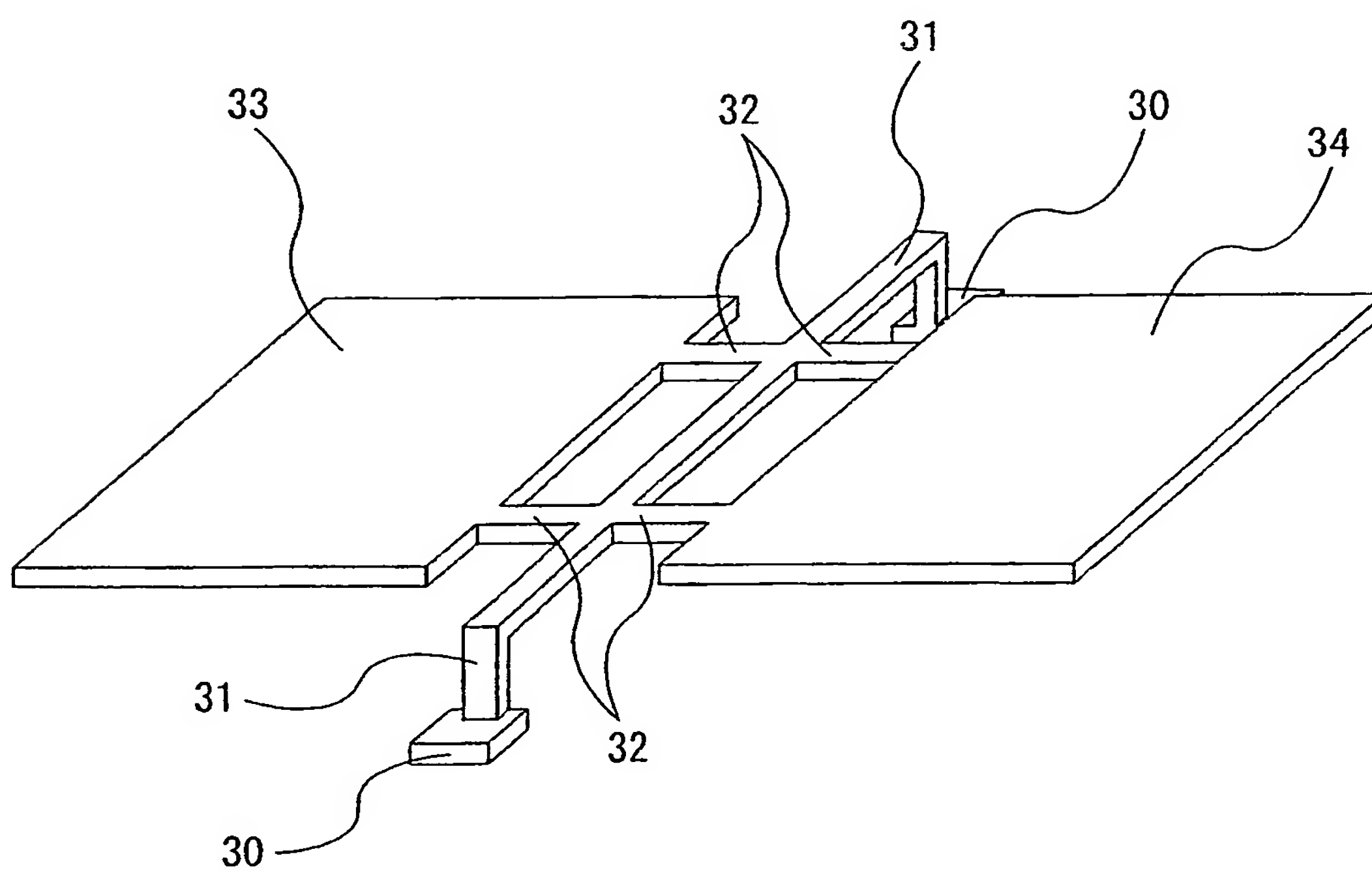


第9B図

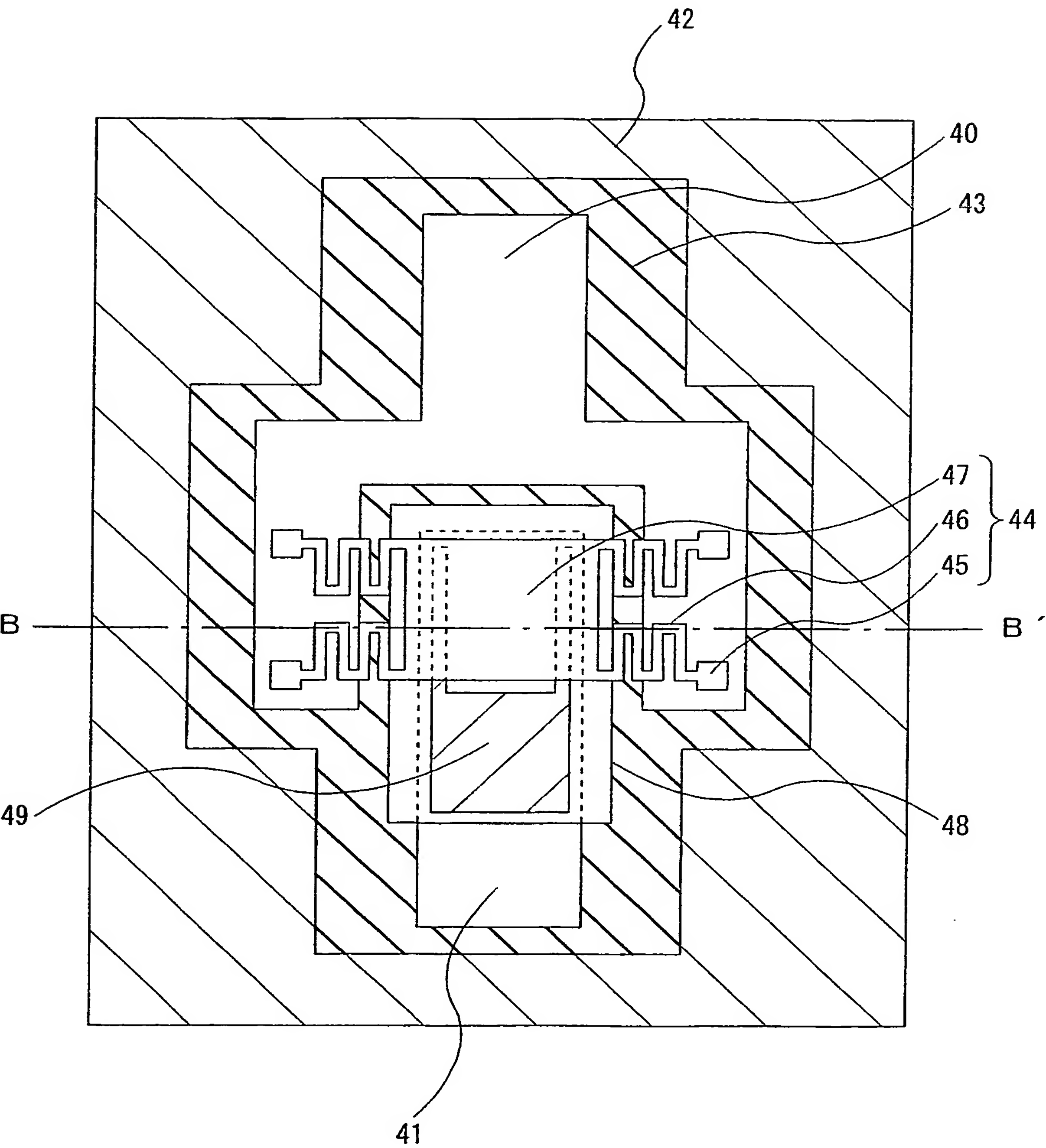


16 / 24

第9C図

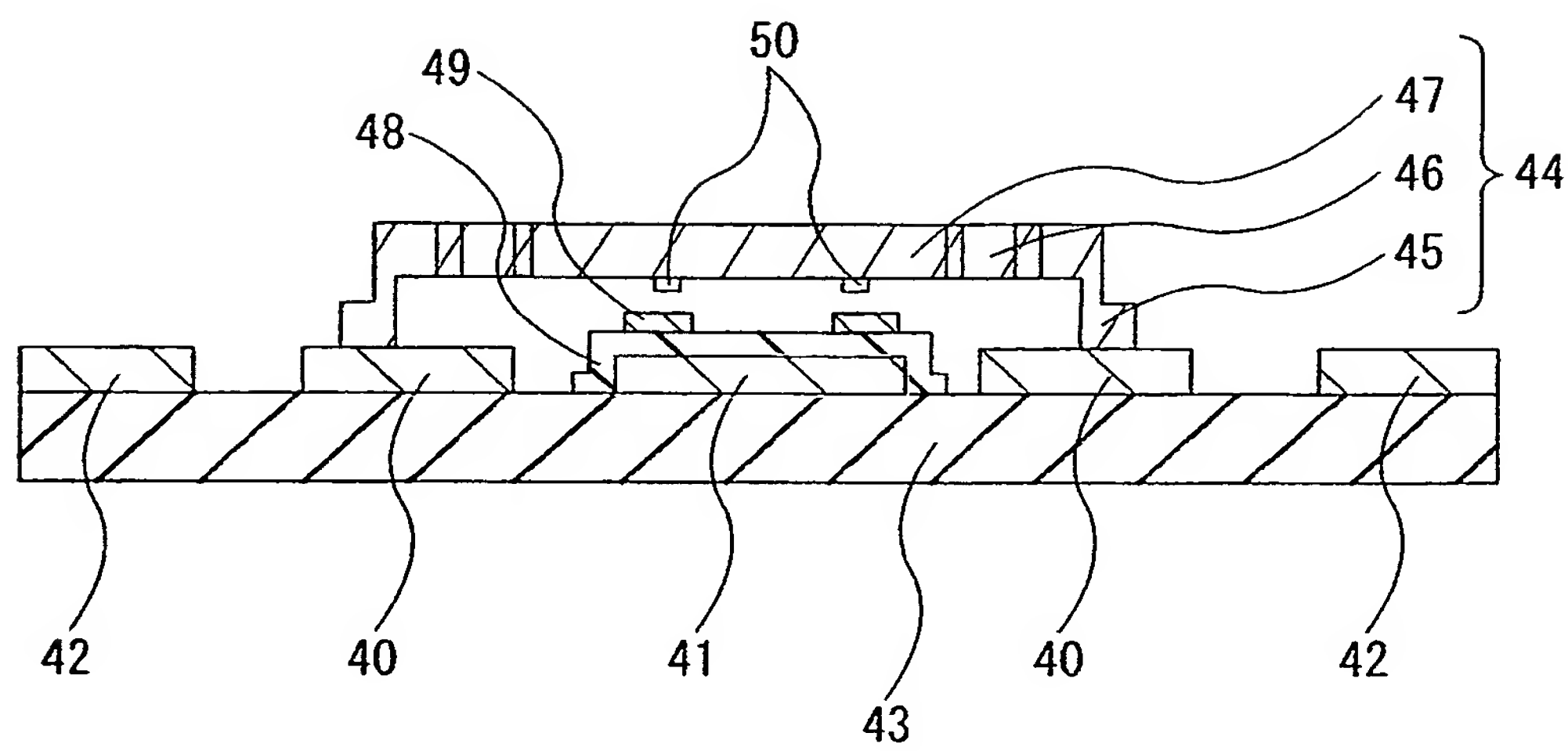


第10A図

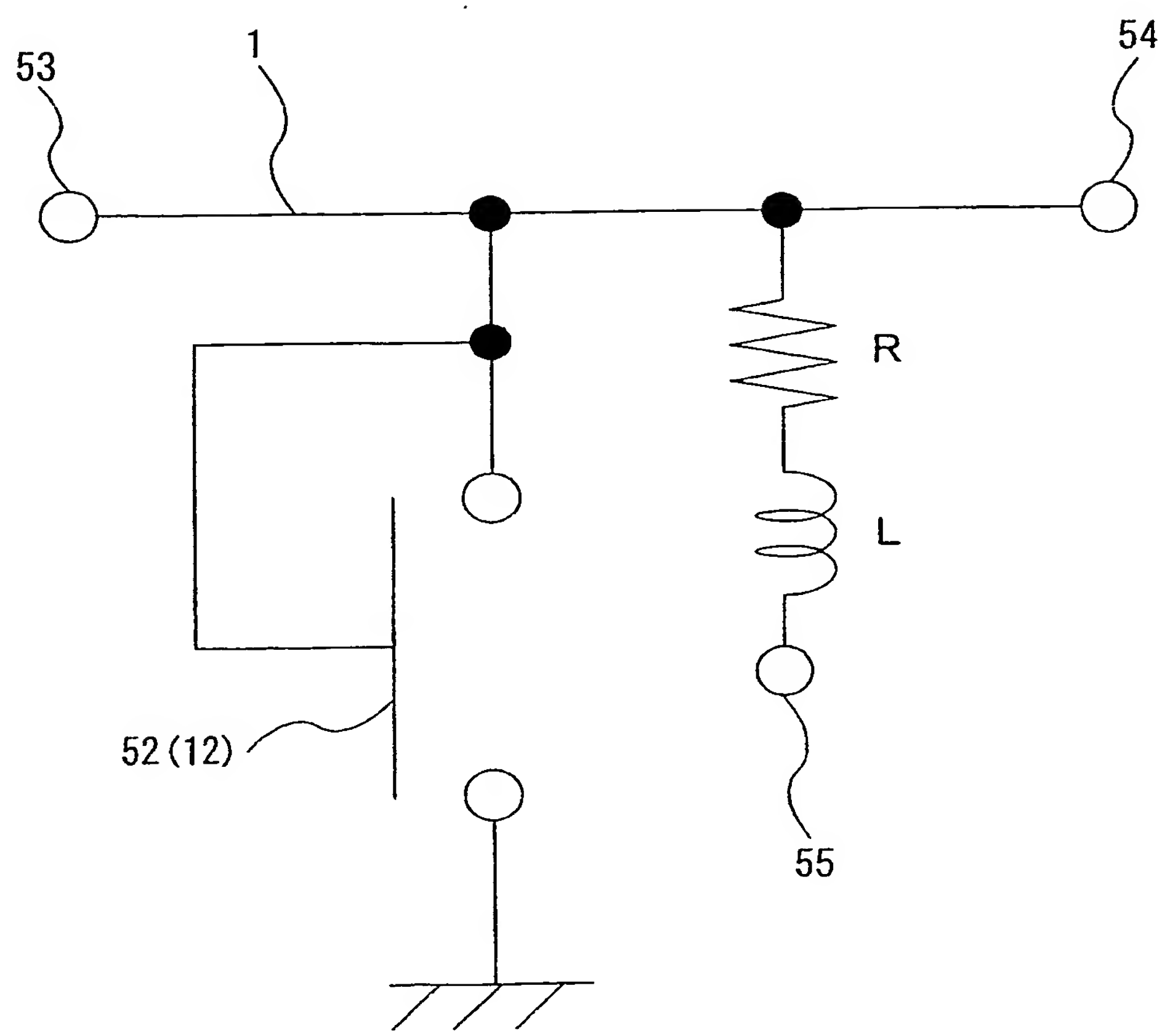




第10B図

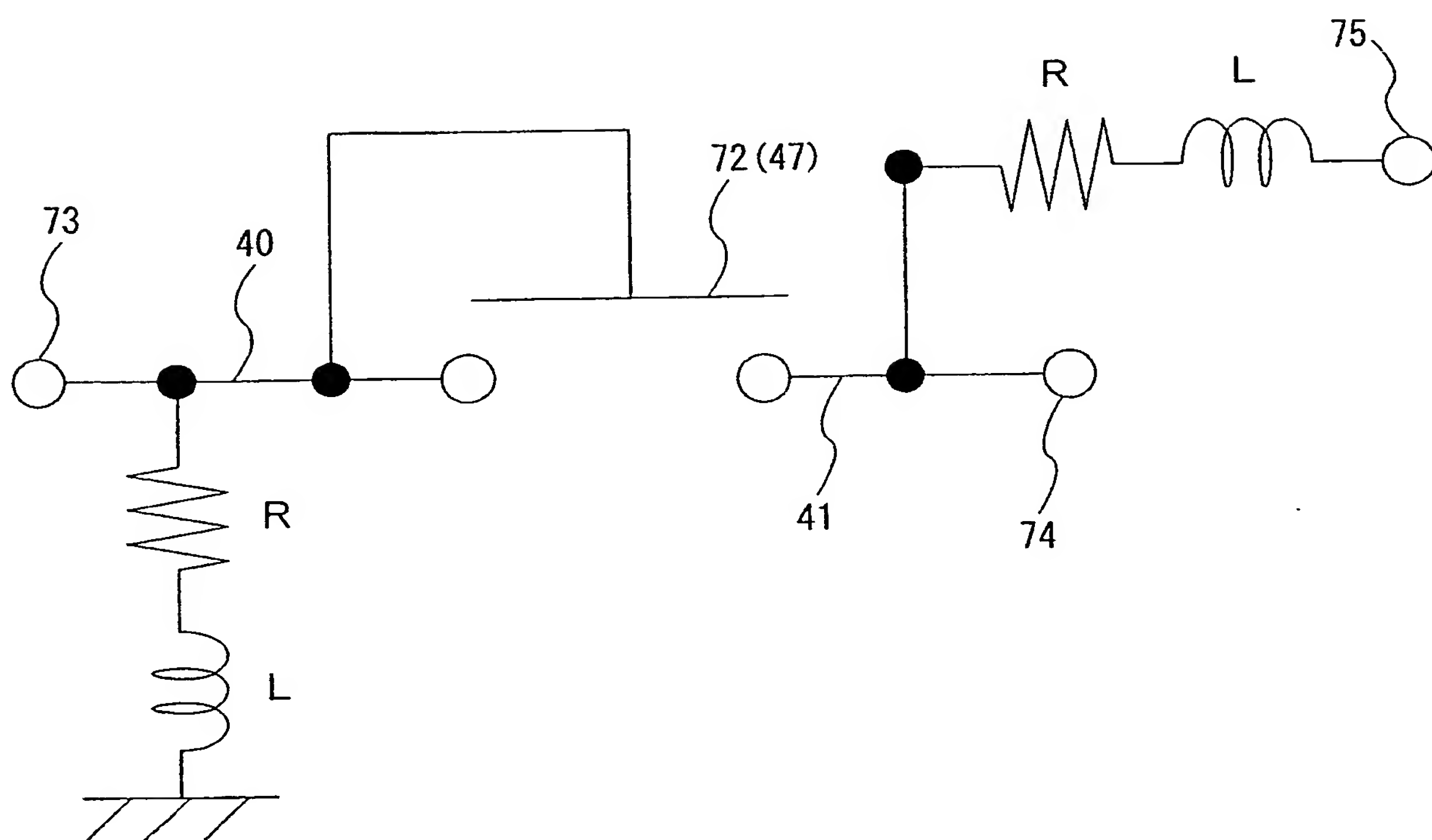


第 1 1 A 図

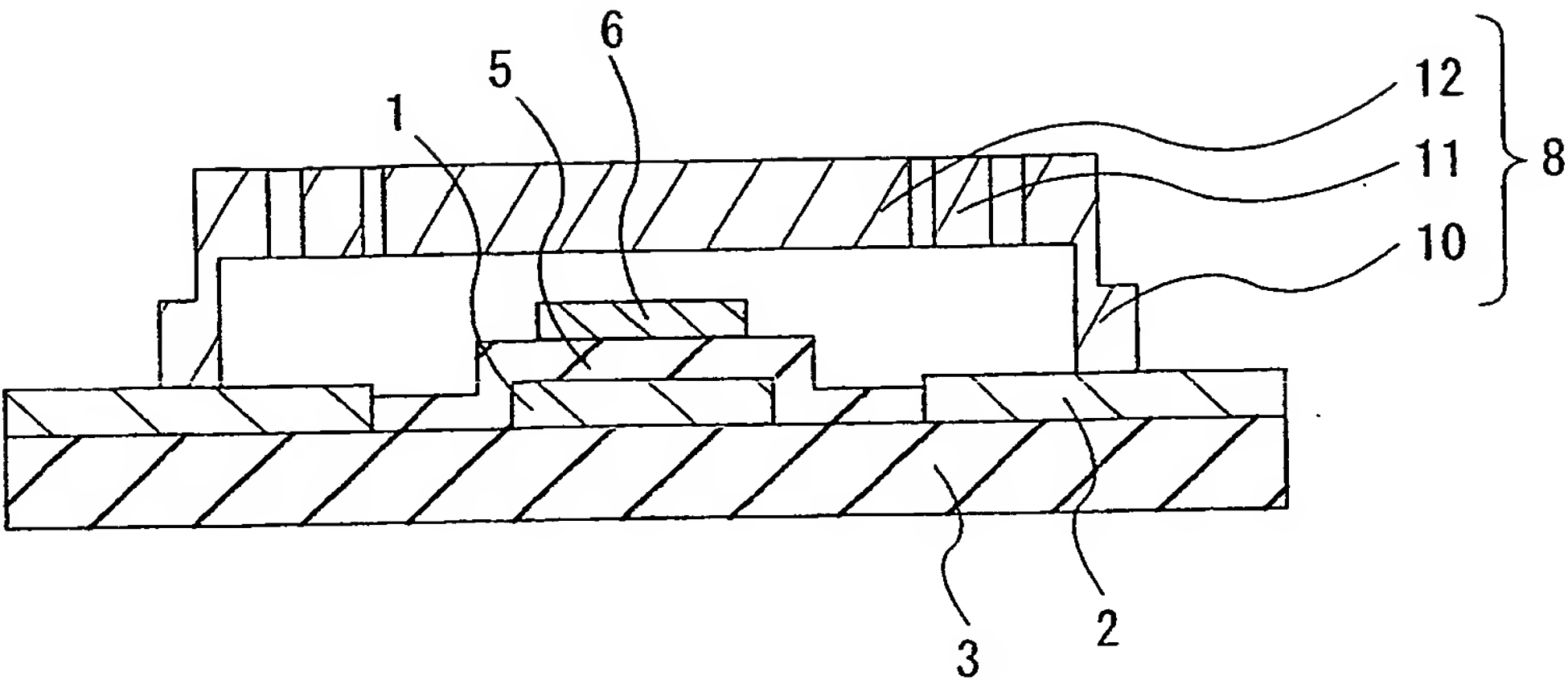


20/24

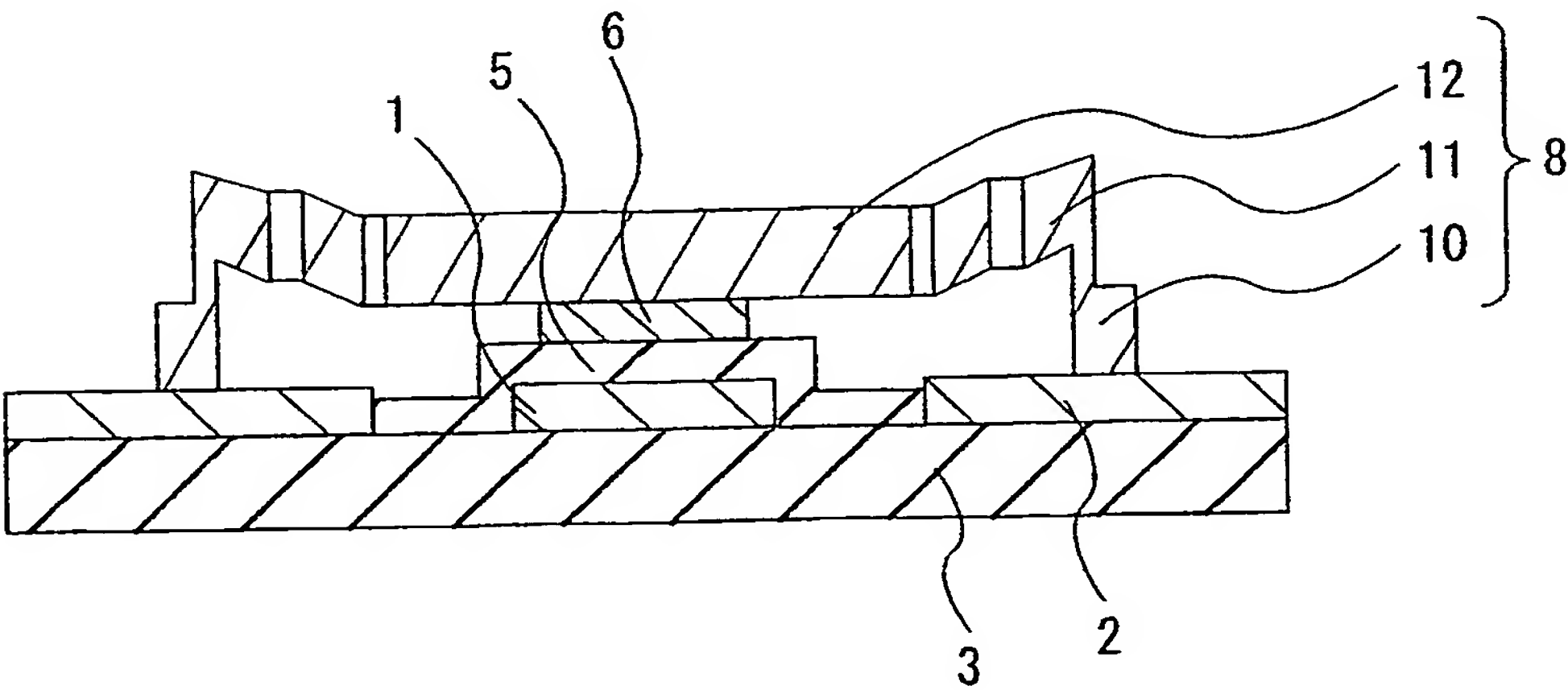
第11B図



第12A図

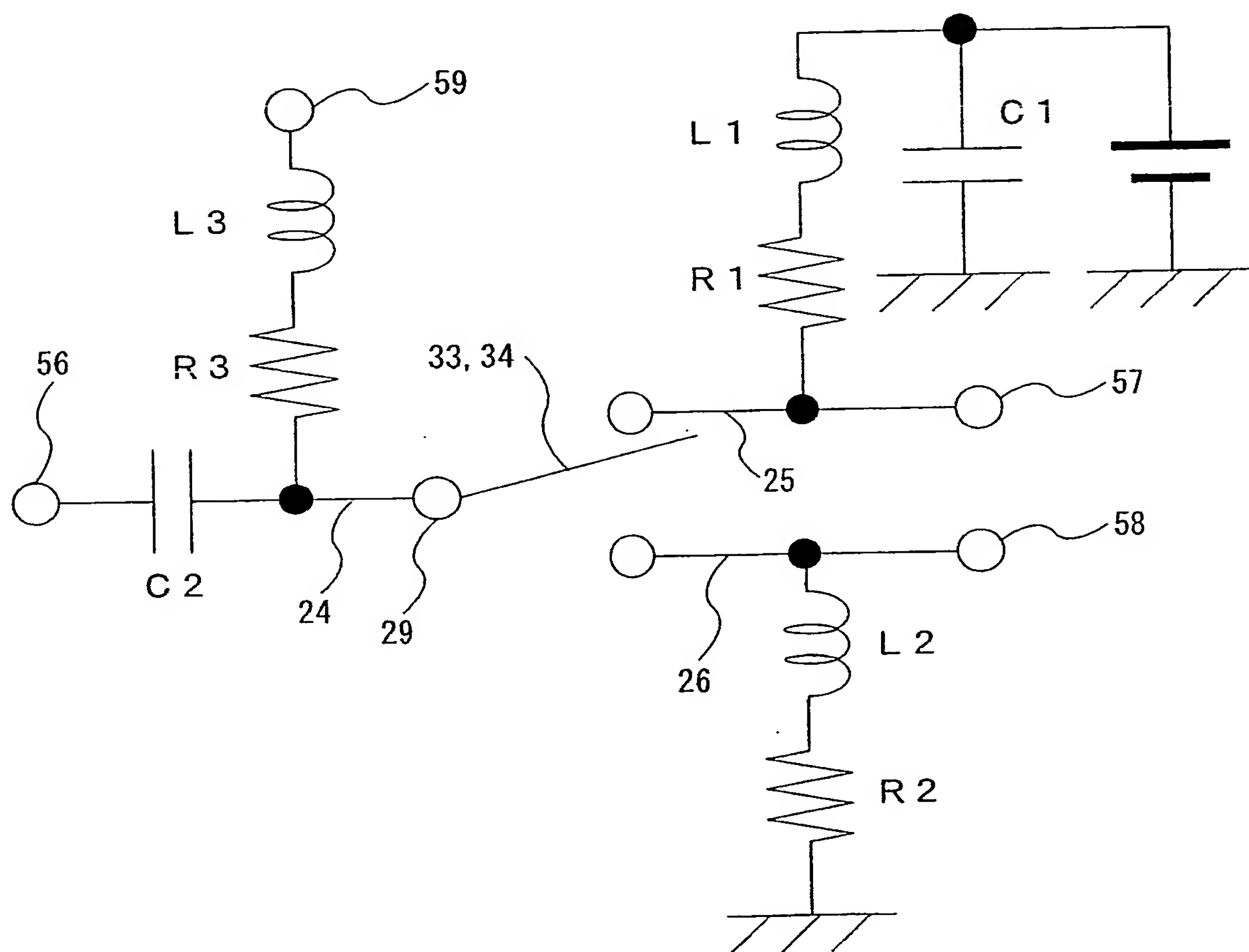


第12B図

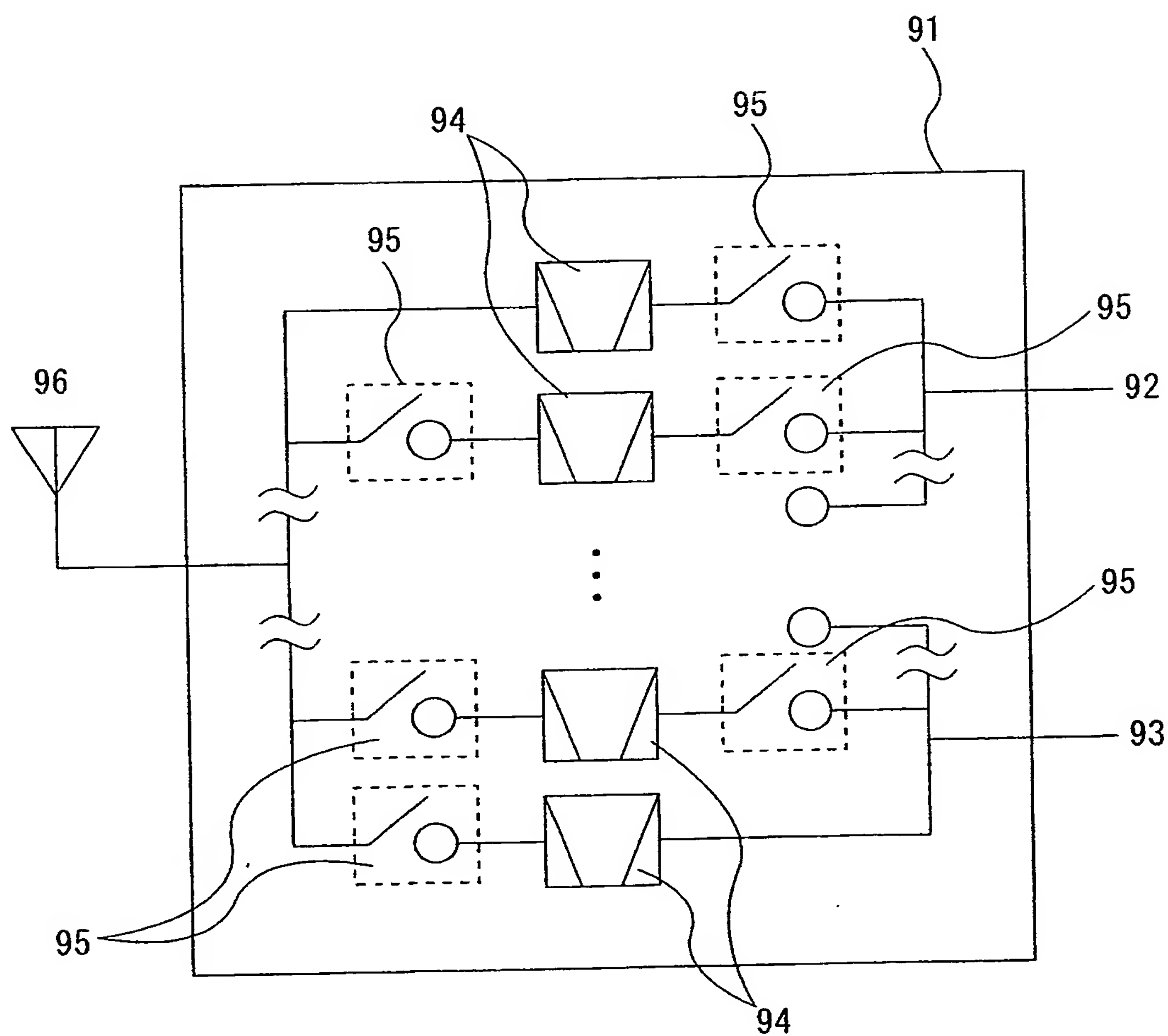


22 / 24

第13図



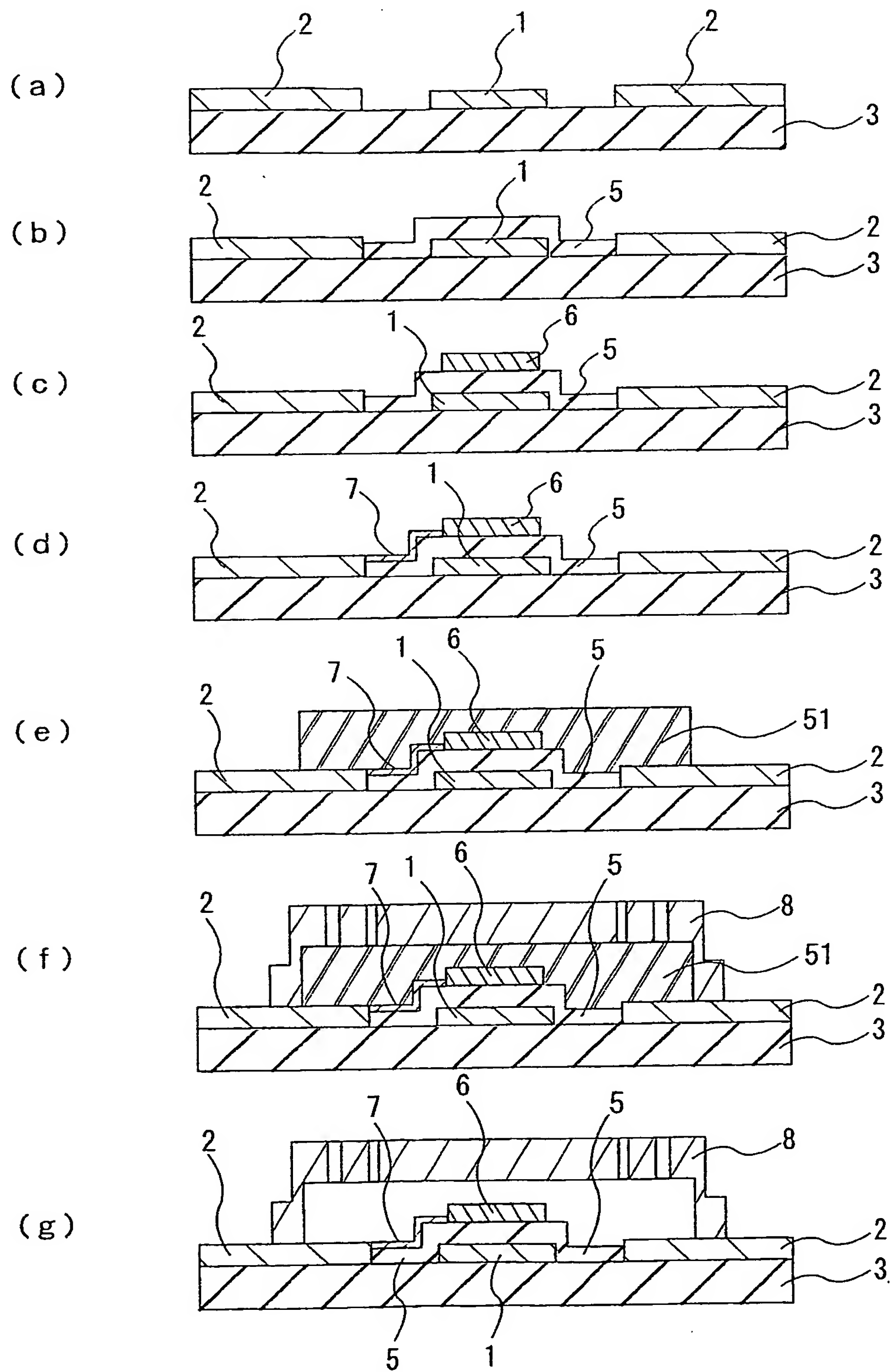
第14図





24/24

第15図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011219

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01P1/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01P1/10-1/12, H01H59/00, H01G5/24, B81B3/00, B81C1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-149750 A (NEC Corp.), 30 May, 2000 (30.05.00), Full text; all drawings & WO 2000/026933 A1 & US 6433657 B1	1-17
A	JP 2001-143595 A (Motorola, Inc.), 25 May, 2001 (25.05.01), Full text; all drawings & US 6307452 B1	1-17
A	JP 2001-266727 A (NEC Corp.), 28 September, 2001 (28.09.01), Full text; all drawings & US 2001-22541 A1	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier application or patent but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
18 October, 2004 (18.10.04)

Date of mailing of the international search report  
02 November, 2004 (02.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011219

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-201318 A (NORTHROP GRUMMAN CORP.), 15 July, 2004 (15.07.04), Full text; all drawings & EP 1432000 A1 & US 2004-113715 A1	1-17

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01P 1/12

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01P 1/10-1/12, H01H59/00, H01G5/24, B81B3/00, B81C1/00.

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-149750 A (日本電気株式会社) 200 0.05.30、全文全図 & WO 2000/026933 A1 & US 6433657 B1	1-17
A	JP 2001-143595 A (モトローラ・インコーポレイ テッド) 2001.05.25、全文全図 & US 6307452 B1	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

18.10.2004

国際調査報告の発送日

02.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

新川 圭二

5T

8623

電話番号 03-3581-1101 内線 6711

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-266727 A (日本電気株式会社) 200 1. 09. 28、全文全図 & US 2001-22541 A1	1-17
A	J P 2004-201318 A (ノースロップ グラマン コ ーポレーション) 2004. 07. 15、全文全図 & EP 1432000 A1 & US 2004-113715 A1	1-17